



YPM13-2117CQ1

单路低压大电流调制电路 数据手册

四川益丰电子科技有限公司

Sichuan YiFeng Electronic Science & Technology Co., LTD

1. 简述

YPM13-2117CQ1 是一款单路低压大电流调制电路，输入与输出同向逻辑。电路内部集成与门、驱动、PMOS 管、泄放电路和负电监测等功能，PMOS 管最大输出电流 1.8A。

2. 功能

2.1 原理框图

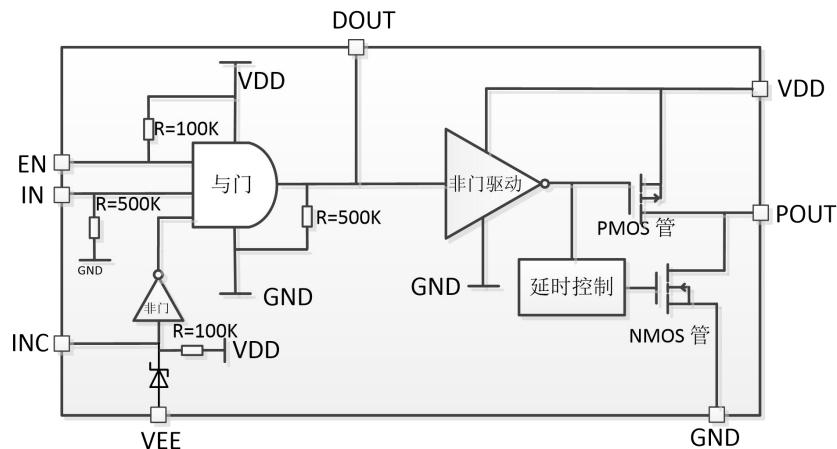


图 1 原理框图

3. 电性能

3.1 绝对最大额定值

表 1 绝对最大额定值

参数	名称	最小值	最大值	单位
IN/EN	芯片控制信号输入引脚	-0.3	7	V
VDD	芯片电源	-0.3	7	V
VEE	负压监测端	-7	0.3	V
T _J	芯片结温度	—	150	°C
T _S	芯片贮存温度	-65	150	°C

3.2 电气特性 ($T_A=25^\circ C$)

表 2 电气特性

参数	名称	测试条件	最小值	典型值	最大值	单位
VDD	芯片供电电源		3	5	6	V
I _S	芯片电源 VDD 电流	VEE/IN/EN/DOUT/POUT 端悬空	--	0.2	1	mA
I _{DD}	芯片工作电流	IN 输入 TTL, f=100kHz, 输出空载	--	0.6	1	mA
		IN 输入 TTL, f=1MHz, 输出空载	--	4	10	mA
I _{IHN}	芯片 IN 输入端漏电流	IN=5V	--	10	15	uA
I _{ILIN}	芯片 IN 输入端漏电流	IN=0V	--	--	1	uA
I _{IHEN}	芯片 EN 输入端漏电流	EN=5V	--	--	1	uA
I _{ILEN}	芯片 EN 输入端漏电流	EN=0V	-60	-50	--	uA
V _{IL}	IN/EN 输入低电平翻转阈值		0.8	1.5	--	V
V _{IH}	IN/EN 输入高电平翻转阈值		--	2.0	2.4	V
V _{ILEE}	VEE 端口低电平翻转阈值	VDD=5V	-4.2	-3.8	--	V
V _{IHEE}	VEE 端口高电平翻转阈值	VDD=5V	--	-3.5	-3.0	V
V _{OHD}	DOUT 端输出高电平电压	C _L =10pF, R _L =10kΩ	4.8	4.9	--	V
V _{OLD}	DOUT 端输出低电平电压	C _L =10pF, R _L =10kΩ	--	0.1	0.2	V
T _{RD}	DOUT 端输出上升沿延时	C _L =10pF, R _L =10kΩ	--	6	15	ns
T _{FD}	DOUT 端输出下降沿延时	C _L =10pF, R _L =10kΩ	--	10	25	ns
V _{OHP}	POUT 端输出高电平电压	VDD=5V, EN 悬空, R _L =5Ω	4.8	4.85	--	V
R _{OLN}	NMOS 管导通时的内阻	IN=EN=0V, I _{OUT} =-100mA	--	5	10	Ω
T _R	POUT 端输出上升沿	VDD=5V, C _L =200pF, R _L =5Ω	--	15	20	ns
T _F	POUT 端输出下降沿	VDD=5V, C _L =200pF, R _L =5Ω	--	15	20	ns
T _{DR}	POUT 端输入至输出上升沿延时	VDD=5V, C _L =200pF, R _L =5Ω	--	20	30	ns
T _{DF}	POUT 端输入至输出下降沿延时	VDD=5V, C _L =200pF, R _L =5Ω	--	20	30	ns

T_{DR_VEE}	VEE 端输入至输出上升沿延时	VDD=5V, $C_L=200\text{pF}$, $R_L=5\Omega$	--	3.2	4	μs
T_{DF_VEE}	VEE 端输入至输出下降沿延时	VDD=5V, $C_L=200\text{pF}$, $R_L=5\Omega$	--	130	150	nS

4. 封装引脚及尺寸

4.1 电路引脚图

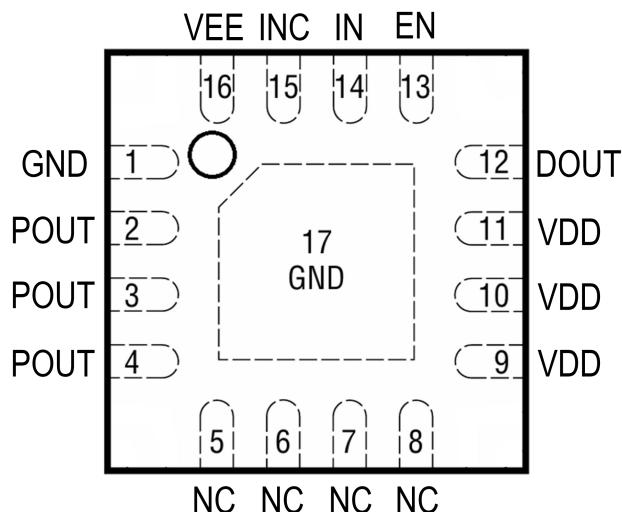


图 2 封装电路引脚图

4.2 引脚说明

表 3 引脚说明

序号	名称	引脚说明
1	GND	芯片地
2	POUT	PMOS 管的输出, 接负载
3	POUT	PMOS 管的输出, 接负载
4	POUT	PMOS 管的输出, 接负载
5	NC	悬空
6	NC	悬空
7	NC	悬空
8	NC	悬空
9	VDD	芯片电源
10	VDD	芯片电源
11	VDD	芯片电源
12	DOUT	与门输出端口, 为后端其他数字芯片提供控制信号, 内部集成 $500\text{k}\Omega$ 下拉电阻, 不用时可悬空

13	EN	与门输入端口，内部集成 $100\text{k}\Omega$ 上拉电阻，不用时可悬空
14	IN	与门输入端口，内部集成 $500\text{k}\Omega$ 下拉电阻
15	INC	负电监测使能控制端口，需要负电监测时该端口悬空，不需要负电监测时，该端口接 GND
16	VEE	负电监测输入端，接-5V，不用时可悬空

5. 封装尺寸

本产品采用 QFN3*3-16L 封装，详细尺寸如下图所示，单位：mm。

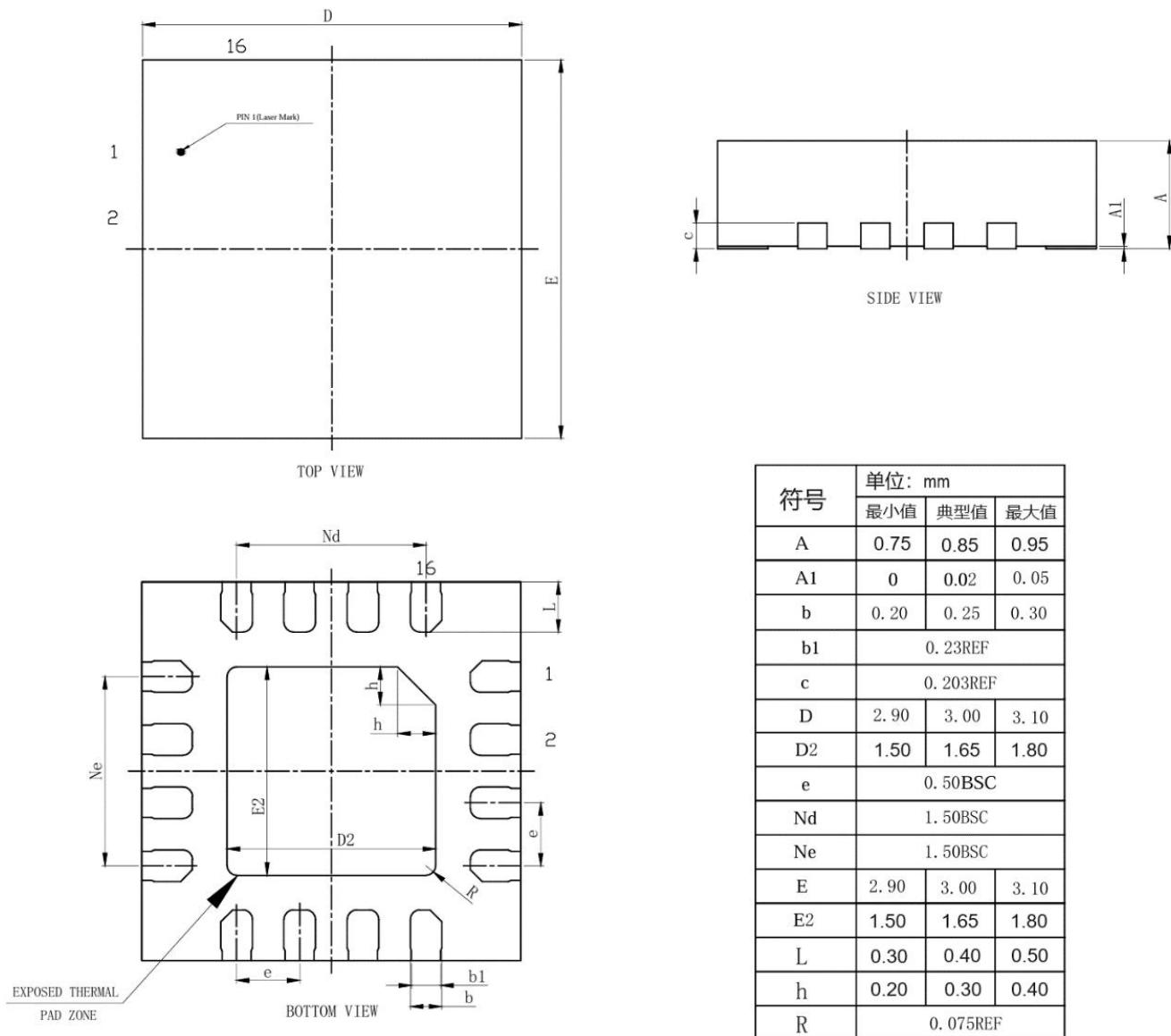


图 3 封装电路尺寸图