

产品介绍

YCC98-0812CQ1 是一款 4 通道 X 频段幅相控制芯片。芯片 3.3V/-5V 电源供电，工作频率范围 8GHz~12GHz，芯片内部低噪声放大器、功率放大器、驱动放大器，6 位数控衰减器，6 位数控移相器，功分器，波束控制等模块，可提供最大 31.5dB 的衰减范围，步进 0.5dB，以及 360° 的移相范围，步进 5.6°。本芯片所有对外接口均为单端输入输出，对外射频端口实现 50Ω 匹配，无须外接匹配电路。芯片采用塑封 LGA 封装，共 76 个管脚，芯片尺寸为 9.06 × 9.06mm。

应用领域

- 雷达
- 通信系统

关键技术指标

- 工作电源电压：3.3V、-5V
 - 工作频率范围：8GHz~12GHz
 - 6 位衰减控制位，步进 0.5dB
 - 6 位移相控制位，步进 5.6°
 - 发射增益：22dB（COM 端口到 ANT 端口）
 - 发射饱和输出：27.5dBm（COM 口输入 12dBm）
 - 接收增益：22dB（ANT 端口到 COM 端口）
 - 接收 IP1：-23.5dBm
 - 接收噪声系数 NF：2.85dB（不衰减）
 - 端口驻波比 VSWR：< 2
 - RMS 相移误差：< 2°
 - 移相时幅度一致性：< ±1dB
 - RMS 衰减误差：< 0.8dB
 - 衰减附加相移：< ±3°
 - 四通道工作电流：200mA/3600mA/29mA
- 接收/连续波饱和/负载态@10GHz
- 封装及尺寸：9.06×9.06LGA
 - 工艺：SOI CMOS

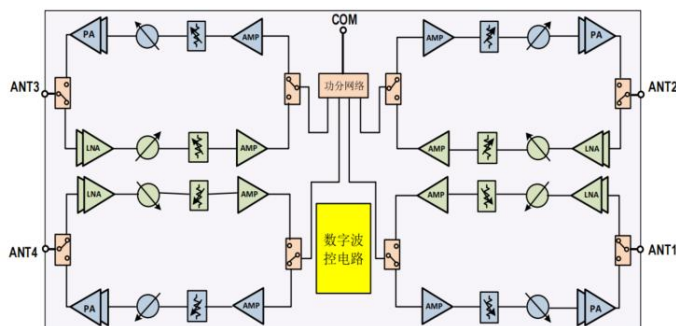


图 1 YCC98-0812CQ1 芯片模块示意图

电气特性

如无特殊注明，工作条件为：TA=25℃，VDD33=3.3V，NV5=-5V。

表1基本电性能

参数	条件	最小值	典型值	最大值	单位
频率范围		8	—	12	GHz
接收线性增益	Rn 端口到 COM 端口	—	22	—	dB
发射线性增益	COM 端口到 Tn 端口	—	22	—	dB
带内增益平坦度		—	—	4	dB
端口驻波比		—	—	2	—
接收噪声系数	不衰减	—	2.8	—	dB
接收输入 P-1dB		—	-21	—	dBm
发射输出 Psat	8~12GHz	—	28	—	dBm
RMS 相移误差		—	—	2	Deg
移相幅度一致性		-1	—	1	dB
RMS 衰减误差		—	0.8	—	dB
衰减附加相移		-3	—	3	Deg
收发切换时间		—	—	250	ns
四通道接收电流		—	200	—	mA
四通道发射电流	连续波饱和发射 8GHz	—	3700	—	mA
四通道发射电流	连续波饱和发射 10GHz	—	3400	—	mA
四通道发射电流	连续波饱和发射 12GHz	—	3400	—	mA
四通道负载态电流		—	29	—	mA

表2 数字端口电参数

参数	符号	条件	最小值	最大值	单位
输入高电平电压	VIH	VDD33 = 3 V to 3.6 V,	0.3VDD33	—	V
输入低电平电压	VIL	VDD33 = 3 V to 3.6 V,	—	0.65VDD33	V
输入高电平电流	IIH	VDD33 = 3 V to 3.6 V,	-100	100	uA
输入低电平电流	IIL	VDD33 = 3 V to 3.6 V,	-100	100	uA
输出高电平电压	VOH	IO =4mA	VDD33—0.6	VDD33	V
输出低电平电压	VOL	IO =4mA	0	0.4	V

极限参数

最大电源电压	3.6V/-6V
最大射频输入功率	30dBm
存储温度	-65~150℃
使用温度	-55~125℃

注意: 对以上所列的最大极限值, 如果器件工作在超过此极限值的环境中, 很可能对器件造成永久性破坏。

在实际运用中, 最好不要使器件工作在此极限值或超过此极限值的环境中。

ESD保护

YCC98-0812CQ1防静电等级(人体模式HBM)至少为Class 1A: $\geq 250V$, $< 500V$ 。当拿取时, 要采取合适的ESD保护措施, 以免造成性能下降或功能失效。

管脚配置

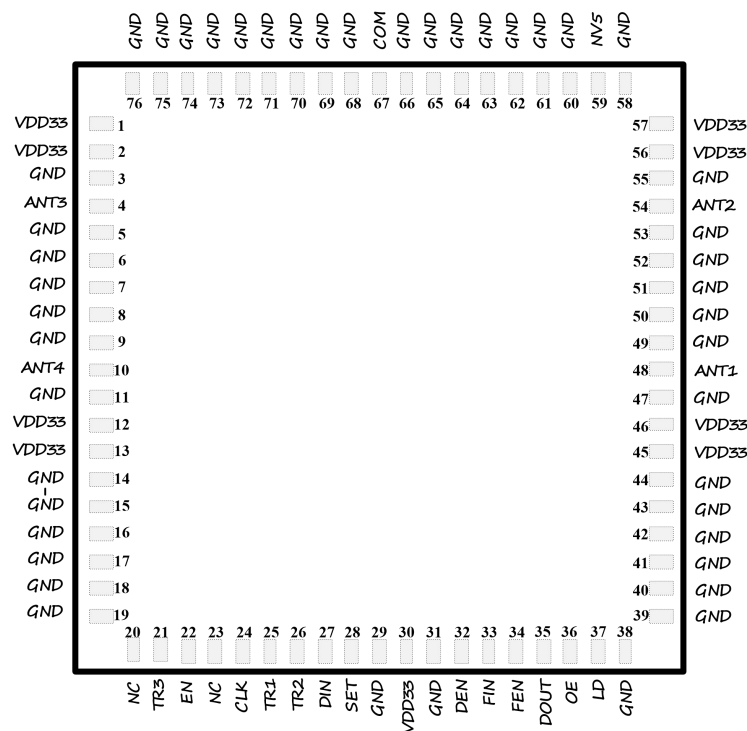


图 2 封装芯片焊盘布局图 (top view 透视图)

芯片焊盘功能信息表

管脚序号	管脚名称	端口属性	备注	管脚序号	管脚名称	端口属性	备注
1	VDD33	电源	通道三 3.3V 电源端	39	GND	地	
2	VDD33	电源	通道三 3.3V 电源端	40	GND	地	
3	GND	地		41	GND	地	
4	ANT3	射频	通道三射频端口	42	GND	地	
5	GND	地		43	GND	地	
6	GND	地		44	GND	地	
7	GND	地		45	VDD33	电源	通道一 3.3V 电源端
8	GND	地		46	VDD33	电源	通道一 3.3V 电源端
9	GND	地		47	GND	地	
10	ANT4	射频	通道四射频端口	48	ANT1	射频	通道一射频端口
11	GND	地		49	GND	地	
12	VDD33	电源	通道四 3.3V 电源端	50	GND	地	
13	VDD33	电源	通道四 3.3V 电源端	51	GND	地	
14	GND	地		52	GND	地	
15	GND	地		53	GND	地	
16	GND	地		54	ANT2	射频	通道二射频端口
17	GND	地		55	GND	地	
18	GND	地		56	VDD33	电源	通道二 3.3V 电源端
19	GND	地		57	VDD33	电源	通道二 3.3V 电源端
20	NC			58	GND	地	
21	TR3	输入	开关控制, 弱下拉, 默认接地	59	NV5	电源	-5V 供电
22	EN	输入	使能控制, 弱下拉, 默认接地	60	GND	地	
23	NC			61	GND	地	
24	CLK	输入	时钟, 弱下拉	62	GND	地	
25	TR1	输入	接收开关控制, 弱下拉	63	GND	地	
26	TR2	输入	脉冲发射开关控制, 弱下拉	64	GND	地	
27	DIN	输入	串行数据输入, 弱下拉	65	GND	地	
28	SET	输入	三级寄存器锁存, 弱下拉	66	GND	地	
29	GND	地		67	COM	射频	射频公共端口
30	VDD33	电源	波控 3.3V 电源端	68	GND	地	
31	GND	地		69	GND	地	
32	DEN	输入	二级锁存信号, 弱上拉	70	GND	地	
33	FIN	输入	功能寄存器输入, 弱下拉	70	GND	地	
34	FEN	输入	功能寄存器使能, 弱上拉	72	GND	地	
35	DOUT	输出	串行数据输出, 三态门	73	GND	地	

36	OE	输入	输出使能, 弱上拉	74	GND	地	
37	LD	输入	自检控制, 弱下拉	75	GND	地	
38	GND	地		76	GND	地	

典型测试曲线 (如无特殊说明, 测试条件为电源电压 3.3V/-5, 常温环境)

图 3 接收增益 (ANTn 到 COM, 其他通道负载态)

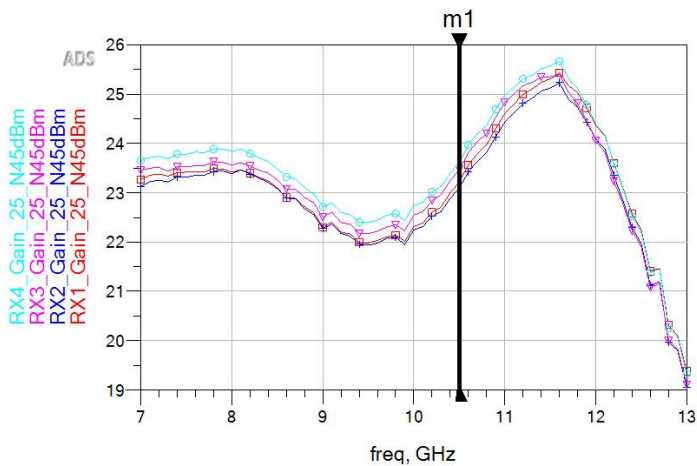


图 5 接收模式端口驻波比

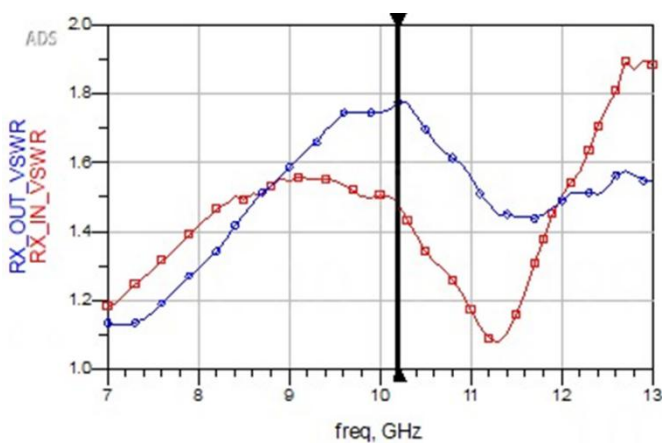


图 4 发射增益 (COM 到 ANTn, 其他通道负载态)

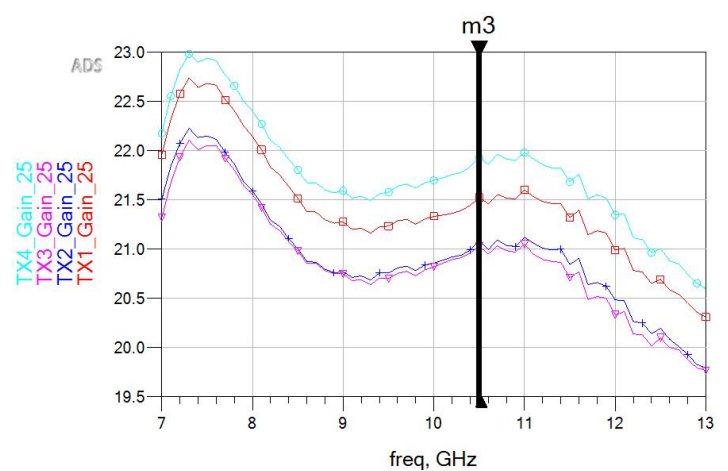


图 6 发射模式端口驻波比

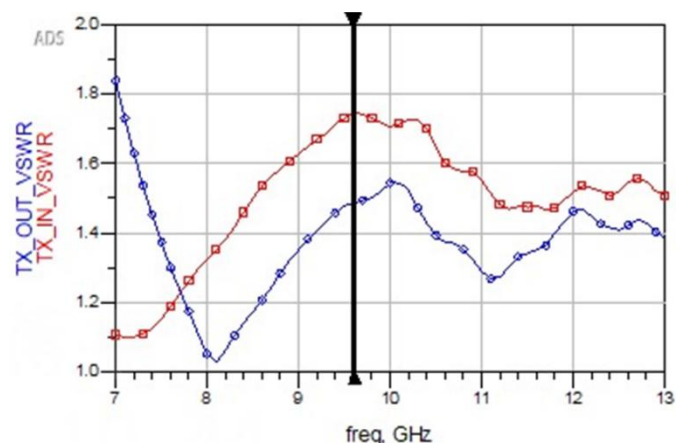


图 7 接收增益 64 态衰减曲线 vs 频率

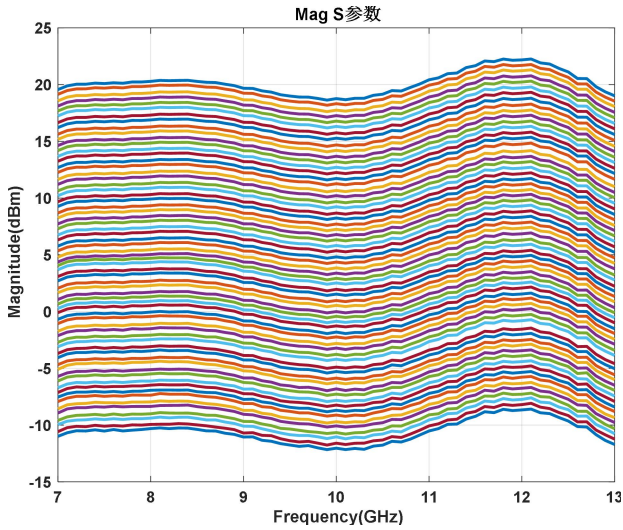


图 8 接收模式 RMS 衰减误差 vs 频率

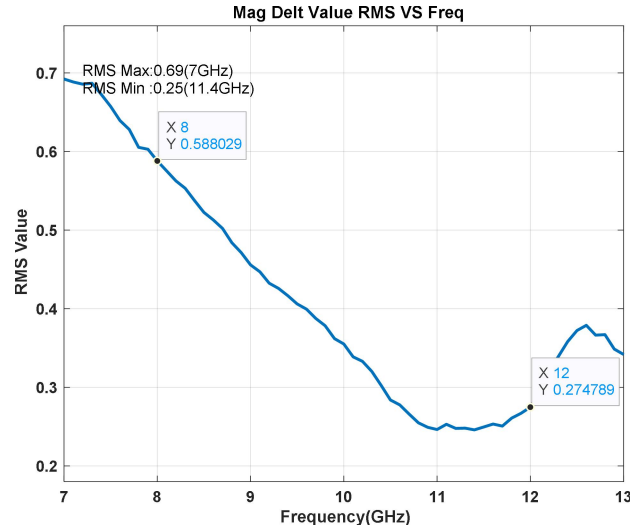


图 9 接收模式 64 态衰减时附加相移 vs 频率

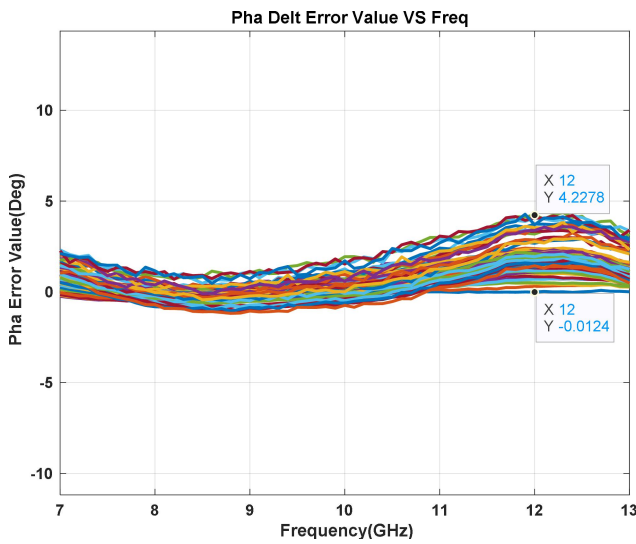


图 10 接收模式 64 态衰减相对相移 vs 频率

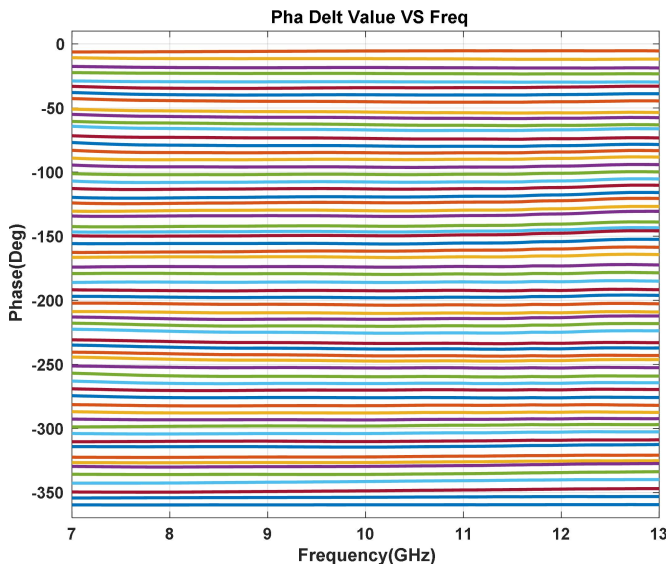


图 11 接收模式 RMS 移相误差 vs 频率

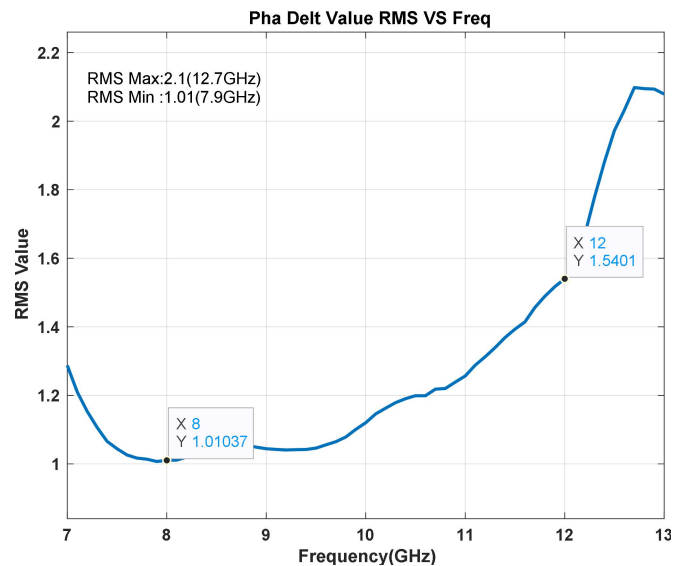


图 12 接收模式 64 态移相时增益曲线 vs 频率

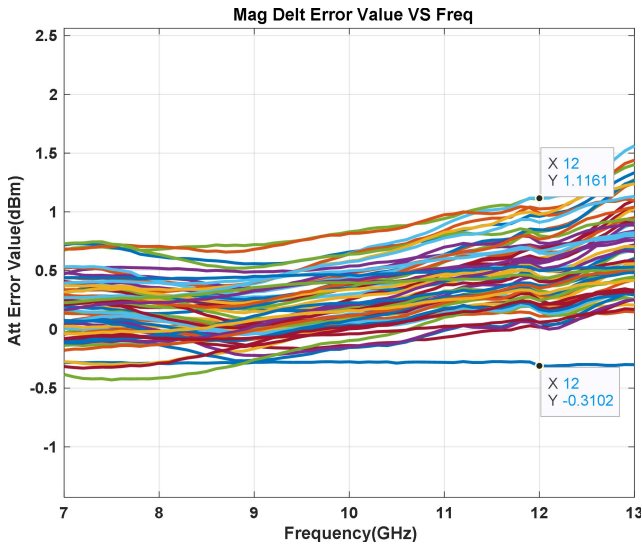


图 13 发射模式 64 态相对移相曲线 vs 频率

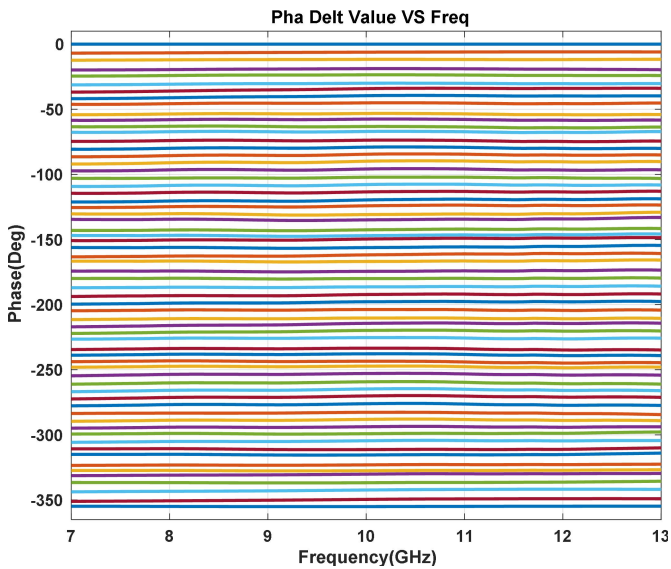


图 14 发射模式 RMS 移相误差 vs 频率

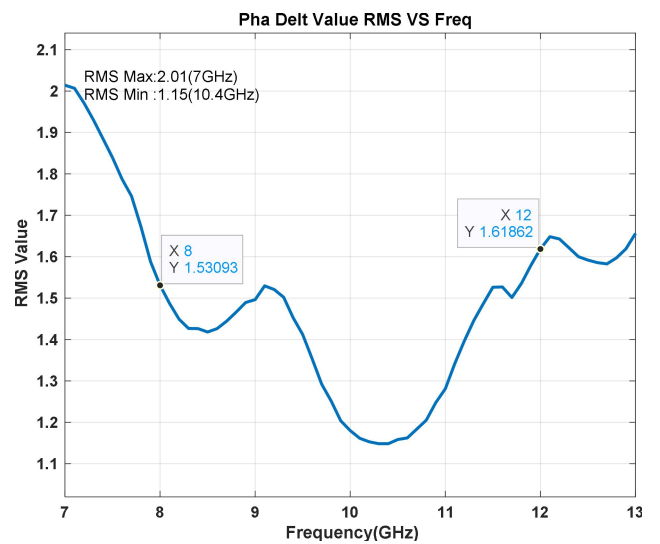


图 15 发射模式 64 态移相时增益曲线 vs 频率

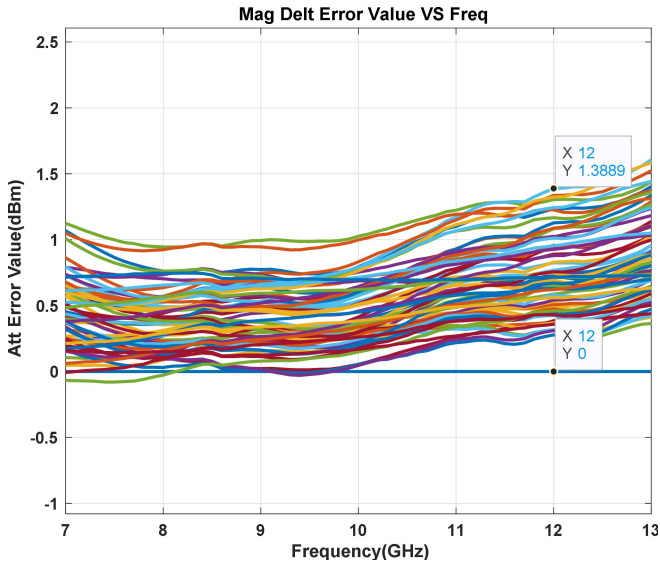


图 16 接收模式输入 1dB 功率

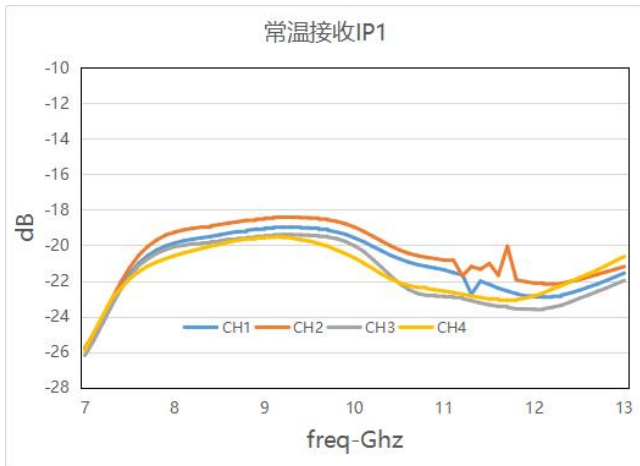


图 17 接收模式噪声系数

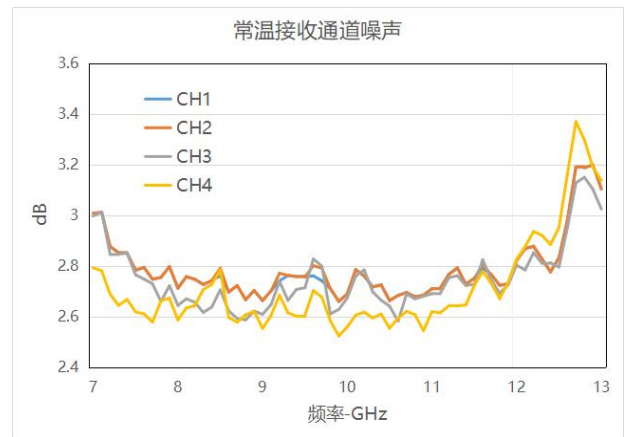
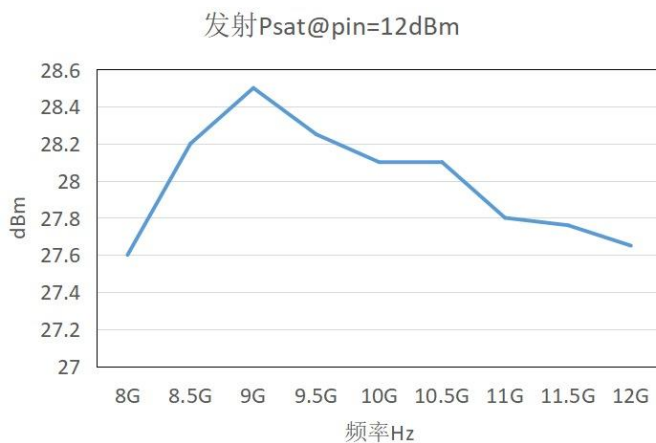


图 18 发射模式饱和输出功率（连续波 RFIN=12dBm）



数字波控功能

状态控制说明

收发状态控制，五个通道采用相同的逻辑控制输入，由各个通道的收发状态控制位分别输出相应通道的状态。

表 4 状态控制说明

输入						对应通道状态
EN	TR1	PTR2	TR3	MCT	MCR	
0	0	0	0	x	0	接收态
0	1	0	0	x	0	过渡态
0	1	1	0	0	x	脉冲发射态
其它组合						负载态

注 1: 在配置时, 先要通过 FIN 输入 12'h3e0, 配置功能寄存器, 上电仅需配置一次即可。

注 2: 上电后, MCT=MCR 的默认值为 1, 芯片默认处于负载态。在进行收发状态切换时需要 MCT、MCR 进行相应的配置。

表 5 每通道 26 位数据定义

D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
AT5	AT4	AT3	AT2	AT1	AT0	MCT	MCR	AR5	AR4	AR3	AR2	AR1	AR0	PT5	PT4	PT3	PT2	PT1	PT0	PR5	PR4	PR3	PR2	PR1	PR0

注 1: 其中 AT、AR 分别为发射、接收衰减值, PT、PR 分别为发射、接收移相值。

波控时序图

1、功能寄存器输入时序

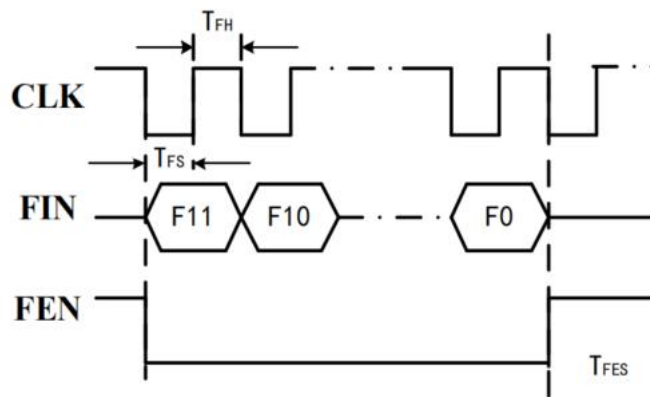


图 19 功能寄存器输入时序

FEN 为低时, CLK 上升沿时, 数据从 FIN 端口输入。

2、数据输入时序

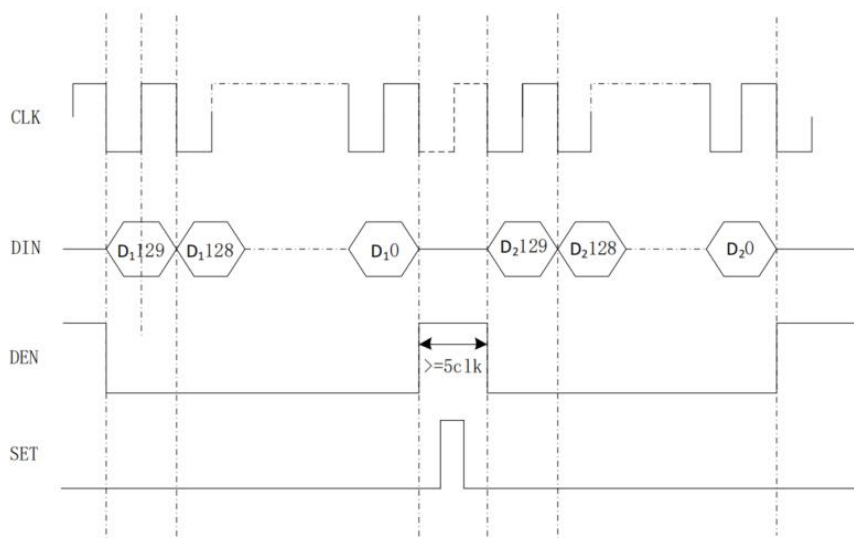


图 20 数据寄存器输入时序

DEN 为低时, CLK 上升沿, 数据从 DIN 端口写入。SET 上升沿更新数据。

3、串行输出时序

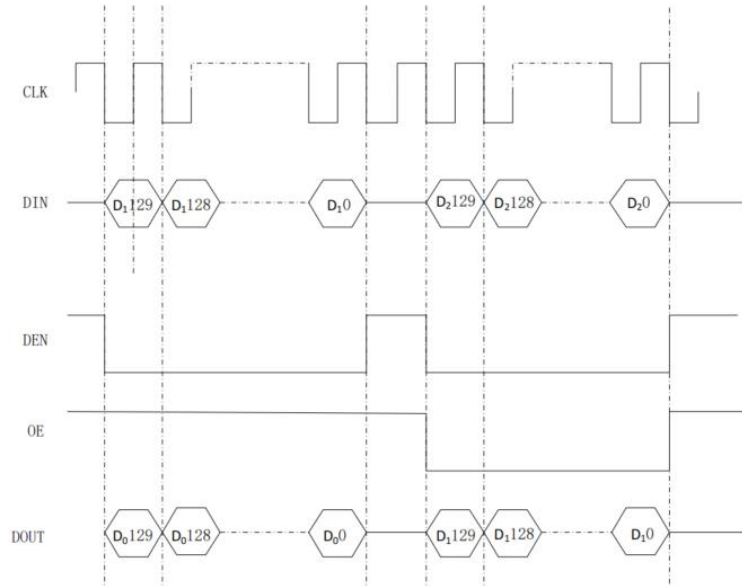


图 21 连续输入输出时序

连续输入时，将 OE 拉低，DOUT 将依次输出上一次输入的 130bit 数据，可用于芯片级联场景。

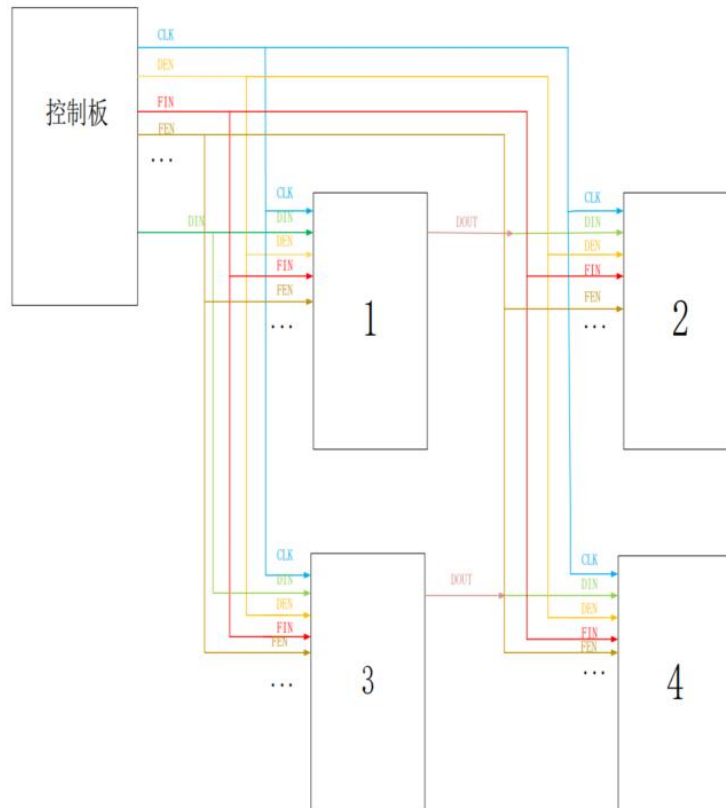


图 22 芯片级联示意图

封装方案

芯片采用 LGA 76 管脚封装，尺寸为 9.06mm×9.06mm，详细尺寸信息如下图所示。

封装后芯片可通过封装底部大面积 EPAD 进行底部散热，同时封装顶部处为芯片底部的衬底裸漏，因此该封装亦具备顶部散热路径。

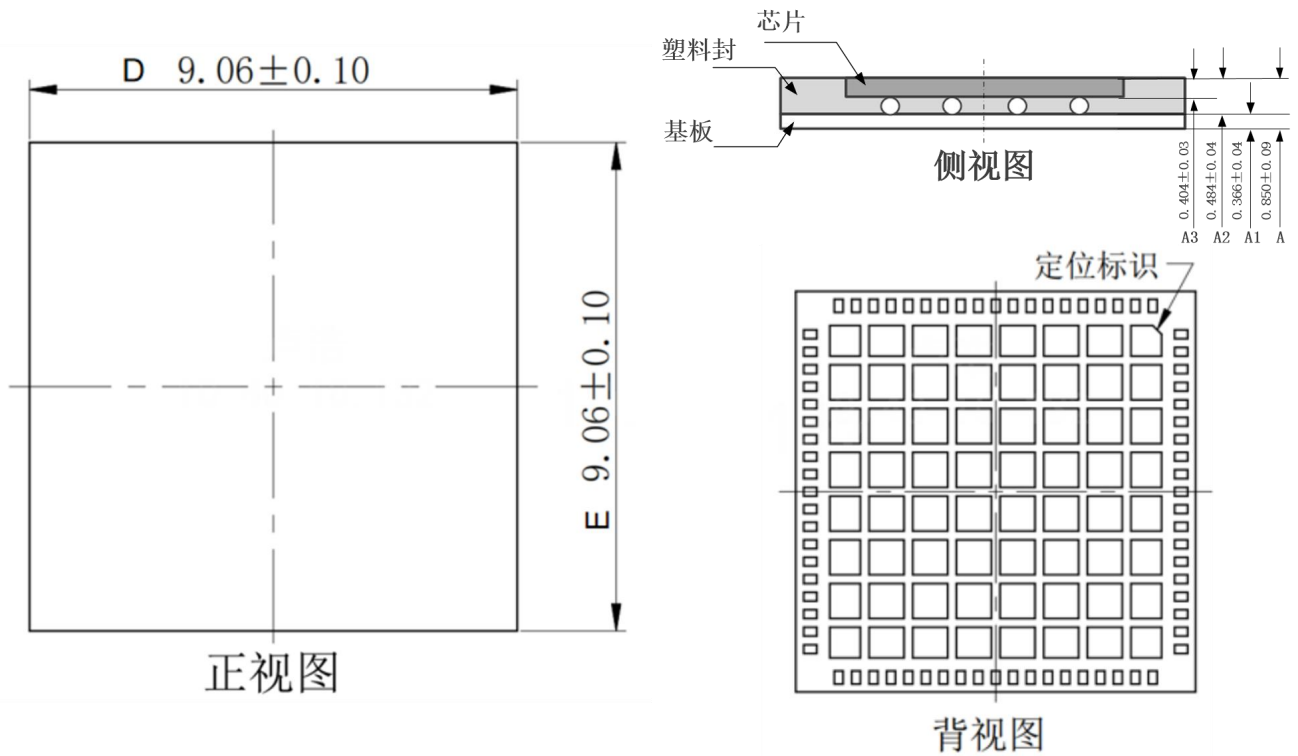


图 24 封装正面图、侧面图、底面图

表 6 封装尺寸

尺寸符号	数值 (毫米)		
	最小	标称	最大
A	0.760	0.850	0.940
A1	0.326	0.366	0.406
A2	0.444	0.484	0.524
A3	0.374	0.404	0.434
D	8.96	9.06	9.16
E	8.96	9.06	9.16