

产品介绍

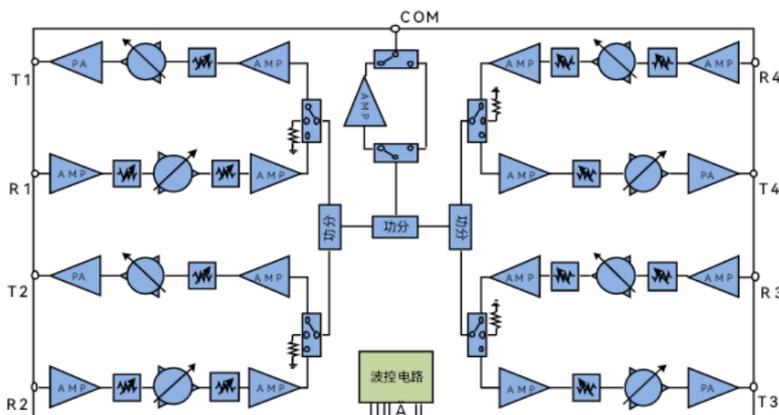
YCC33-0713CQ1是一款宽带四通道多功能芯片。工作频率范围7GHz~13GHz，芯片内部集成低噪声放大器，功率放大器，收发切换开关，6位数控衰减器，6位数控移相器，功分器，波束控制，低噪放电源调制，片上ADC等模块，可提供最大31.5dB的衰减范围，步进 0.5dB，以及360°的移相范围，步进 5.6°。芯片采用塑封QFN封装，共68个管脚，芯片尺寸为8×8mm。

应用领域

- 雷达
- 通信

关键技术指标

- 工作电源电压：3.3V
- 工作频率：7GHz~13GHz
- 6位衰减控制位，步进0.5dB
- 6位移相，步进5.6°
- 接收增益：5dB (Rn端口到COM端口)
- 发射增益：5dB (COM端口到Tn端口)
- 接收带内增益平坦度：<3dB
- 端口驻波比VSWR：<2
- 接收噪声系数NF：<16dB
- 接收输入 Pin-1dB：-1dBm
- 发射输出 Po-1dB：15dBm
- RMS相移误差：<3°
- 移相时幅度一致性：<±0.8dB
- 衰减精度：<0.2+5%Ai
- RMS 衰减误差：<0.7dB
- 衰减附加相移：<±8°
- 收发切换时间：<100ns
- 单通道工作电流：70mA/70(140)mA @接收/静态 (Po-1dB, 16dBm)发射
- 封装及尺寸：QFN 8mm×8mm
- 工艺：SiGe BiCMOS



YCC33-0713CQ1 模块示意图

电气特性

表 1 基本电性能

参数	条件	最小值	典型值	最大值	单位
频率范围		7		13	GHz
接收线性增益	Rn 端口到 COM 端口	3			dB
发射线性增益	COM 端口到 Tn 端口	2			dB
带内增益平坦度				3	dB
端口驻波比				2	-
接收噪声系数				16	dB
接收输入 P-1dB		-3			dBm
发射输出 P-1dB		13.5			dBm
发射输出 Psat		14			dBm
RMS 移相误差				3	Deg
移相幅度一致性		-0.8		0.8	dB
RMS 衰减误差				0.7	dB
衰减附加相移		-8		8	Deg
收发切换时间				100	ns
单通道接收电流			70		mA
单通道静态发射电流			70		mA
单通道 Po-1dB 发射电流		110	140	170	mA
单通道负载态电流			10		mA

表 2 数字端口电参数

参数	符号	条件	最小值	最大值	单位
输入高电平电压	VIH	VCC = 2.7 V to 3.6 V,	1.7		V
输入低电平电压	VIL	VCC = 2.7 V to 3.6 V,		0.8	V
输入高电平电流	IIH	VCC = 2.7 V to 3.6 V,	-500	500	uA
输入低电平电流	IIL	VCC = 2.7 V to 3.6 V,	-500	500	uA
输出高电平电压	VOH	VCC = 2.7 V to 3.6 V, IOH = -100 uA	VCC-0.2	VCC	V
输出高电平电压	VOH	VCC = 2.7 V IOH = -4mA	2.4	VCC	V
输出低电平电压	VOL	VCC = 2.7 V to 3.6 V, IOL= 100 uA	0	0.2	V
输出低电平电压	VOL	VCC = 2.7 V, IOL= 4mA	0	0.4	V

极限参数

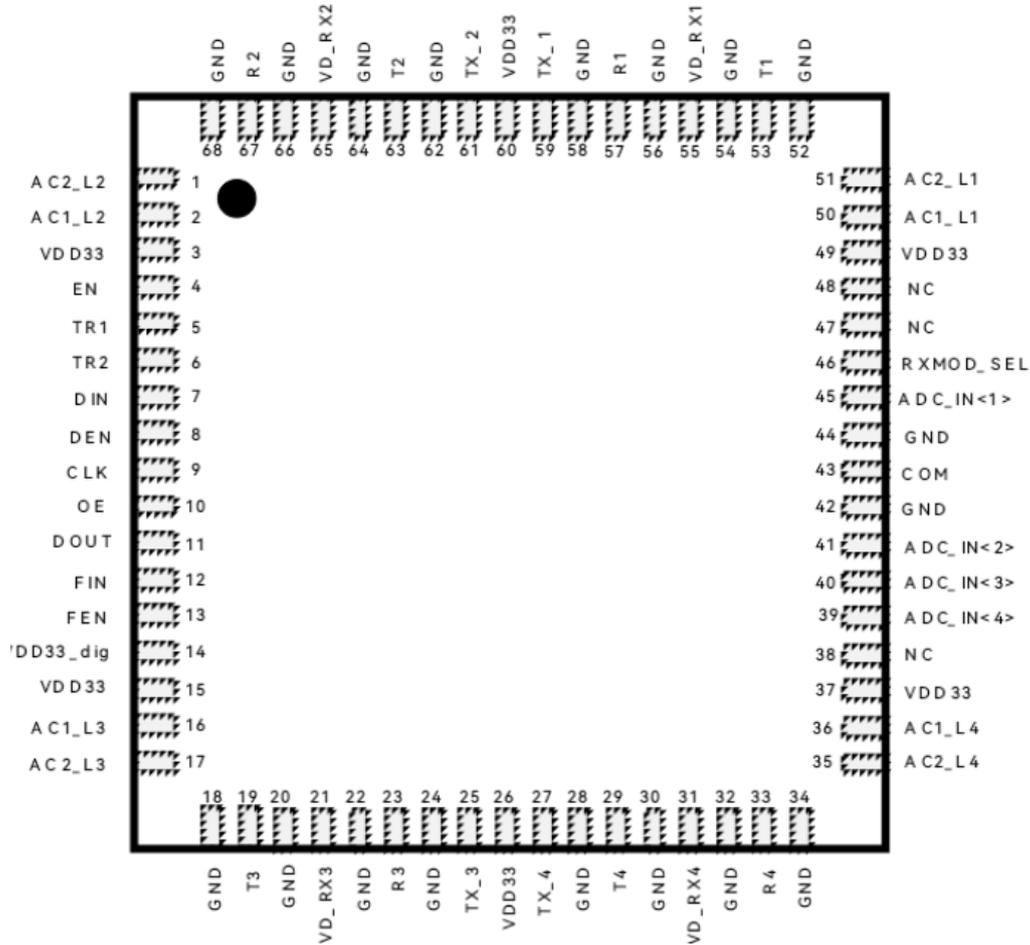
最大电源电压	3.6V
最大射频输入功率	TBD
存储温度	-65~150℃
使用温度	-55~125℃

注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。

在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。

ESD 保护

YCC33-0713CQ1防静电等级(人体模式 HBM)至少为 Class 1B: $\geq 500V$, $< 1000V$ 。当拿取时，要采取合适的ESD保护措施，以免造成性能下降或功能失效。



芯片焊盘布局图

表 3 芯片焊盘功能信息表

管脚序号	管脚名称	端口属性	备注
1	AC2_L2	控制	增益调节，默认悬空，接地时通道二接收增益调低1dB
2	AC1_L2	控制	增益调节，默认悬空，接地时通道二接收增益调低1dB
3	VDD33	电源	通道二 3.3V 电源端
4	EN	数字输入	输入，波控使能，弱下拉，为低时波控有效
5	TR1	数字输入	输入，波控输入控制信号，弱下拉，产生接收控制信号
6	TR2	数字输入	输入，波控输入控制信号，弱下拉，产生脉冲发射控制信号

7	DIN	数字输入	串行信号输入，弱上拉
8	DEN	数字输入	输入，串行数据使能，弱上拉，为低时输入有效
9	CLK	数字输入	时钟输入，弱下拉，推荐 1~20MHz
10	OE	数字输入	输入，波控输出使能，弱下拉，为低时输出有效
11	DOUT	数字输入	串行数据输出，弱上拉
12	FIN	数字输入	功能寄存器串行输入，弱上拉
13	FEN	数字输入	输入，功能寄存器使能，弱上拉，为低时 FIN 输入有效
14	VDD33_dig	电源	波控电路 3.3V 电源端
15	VDD33	电源	通道三 3.3V 电源端
16	AC1_L2	控制	增益调节，默认悬空，接地时通道三接收增益调高 1dB
17	AC2_L2	控制	增益调节，默认悬空，接地时通道三接收增益调低 1dB
18	GND	地	
19	T3	射频	通道三发射输出
20	GND	地	
21	VD_RX3	输出	通道三 LNA 电源调制输出，驱动能力>50mA，接收态时输出高电平(VDD33)，非接收态输出低电平
22	GND	地	
23	R3	射频	通道三接收输入
24	GND	地	
25	TX_3	输出	通道三发射控制输出，驱动能力<2mA，发射态时输出高电平(VDD33)，非发射态输出低电平
26	VDD33	电源	通道三和通道四 3.3V 电源端
27	TX_4	输出	通道四发射控制输出，驱动能力<2mA，发射态时输出高电平(VDD33)，非发射态输出低电平
28	GND	地	
29	T4	射频	通道四发射输出
30	GND	地	
31	VD_RX4	输出	通道四 LNA 电源调制输出，驱动能力>50mA，接收态时输出高电平(VDD33)，非接收态输出低电平
32	GND	地	
33	R4	射频	通道四接收输入
34	GND	地	

35	AC2_L4	控制	增益调节, 默认悬空, 接地时通道三接收增益调低 1dB
36	AC1_L4	控制	增益调节, 默认悬空, 接地时通道三接收增益调高 1dB
37	VDD33	电源	通道四 3.3V 电源端
38	NC		
39	ADC_IN<4>	输入	输入, 内部 ADC 的模拟输入信号 4 端口
40	ADC_IN<3>	输入	输入, 内部 ADC 的模拟输入信号 3 端口
41	ADC_IN<2>	输入	输入, 内部 ADC 的模拟输入信号 2 端口
42	GND	地	
43	COM	射频	射频公共端口
44	GND	地	
45	ADC_IN<1>	输入	输入, 内部 ADC 的模拟输入信号 1 端口
46	RXMOD_SEL	控制	默认悬空, 接地后芯片四个发射通道关断, 芯片进入四通道纯接收模式
47	NC		
48	NC		
49	VDD33	电源	通道一 3.3V 电源端
50	AC1_L1	控制	增益调节, 默认悬空, 接地时通道一接收增益调高 1dB
51	AC2_L1	控制	增益调节, 默认悬空, 接地时通道一接收增益调低 1dB
52	GND	地	
53	T1	射频	通道一发射输出
54	GND	地	
55	VD_RX1	输出	通道一 LNA 电源调制输出, 驱动能力>50mA, 接收态时输出高电平(VDD33), 非接收态输出低电平
56	GND	地	
57	R1	射频	通道一接收输入
58	GND	地	
59	TX_1	输出	通道一发射控制输出, 驱动能力<2mA, 发射态时输出高电平(VDD33), 非发射态输出低电平
60	VDD33	电源	通道一和通道二 3.3V 电源端
61	TX_2	输出	通道二发射控制输出, 驱动能力<2mA, 发射态时输出高电平(VDD33), 非发射态输出低电平
62	GND	地	

63	T2	射频	通道二发射输出
64	GND	地	
65	VD_RX2	输出	通道二 LNA 电源调制输出，驱动能力>50mA，接收态时输出高电平(VDD33)，非接收态输出低电平
66	GND	地	
67	R2	射频	通道二接收输入
68	GND	地	

典型曲线

（如无特殊说明，测试条件为电源 3.3V，常温环境，移相衰减基态。所有测试曲线为芯片在评估板上的测试结果，其中衰减和移相曲线中的增益未扣除板损）

待测试

数字波控功能

数字部分主要包括 5 个相同的控制通道和一个公共逻辑，5 个控制通道中包含 reg_data1 模块，reg_data2 模块，reg_data3 模块，自检模块和开关控制逻辑；公共逻辑中包含 reg_fun1 模块，reg_fun2 模块，脉冲保护模块和温度保护模块。

单通道控制逻辑功能说明

串行数据寄存器 reg_data1

串行数据输入：DEN 为低，CLK 上升沿，数据从 DIN 端口依次写入第 1 组寄存器 reg_data1[0]；reg_data1 中原有数据依次从 reg_data1[0]移往 reg_data1[25]。

串行数据输出：单通道串行数据输出 dout 取 reg_data1[25]输出。

串行自检数据加载：当 CLK 上升沿检测到 DEN 高时，将由 reg_fun2[2][7:0]指定的自检数据写入串行寄存器 reg_data1。

串行数据寄存器 reg_data2

数据选择输入：在 den 上升沿后第一个 CLK 上升沿，将 reg_data1 写入功能寄存器 reg_fun2 [0] [4:0]选定的二级数据寄存器 reg_data2。二级数据寄存器 reg_data2 中 32 组数据定义如表 4。

数据选择输出：reg_fun2[1][4:0]选定的一组 reg_data2[n][25:0]输出，用于相位衰减和控制。

表 4 二级数据寄存器数据定义

reg_data2[n][25:0]中数据定义																									
D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
AT5	AT4	AT3	AT2	AT1	AT0	MCT	MCR	AR5	AR4	AR3	AR2	AR1	AR0	PT5	PT4	PT3	PT2	PT1	PT0	PR5	PR4	PR3	PR2	PR1	PR0

串行数据寄存器 reg_data3

DEN 为低，DIN 串行输入{5{26'h15D5A5A}}进行内部解锁。

在 FEN 上升沿后第二个 CLK 上升沿，当 reg_fun1[11:8]=4'h1 时，将 reg_fun1[7:0]指定的 reg_data2 数组对应地址中的数据 dat_seled 写入 reg_data3 寄存器；否则 reg_data3 寄存器保持不变。

每次更新 reg_data3 都要写一次 reg_fun1，不写 reg_fun1 不更新。

PH和ATT功能控制输出

表 5 移相和衰减功能控制输出逻辑

输入	通道 1~通道 5 输出		状态
TR1	PH[5:0]	ATT[5:0]	
1	PT[5:0]	AT[5:0]	发射态
0	PR[5:0]	AR[5:0]	接收态

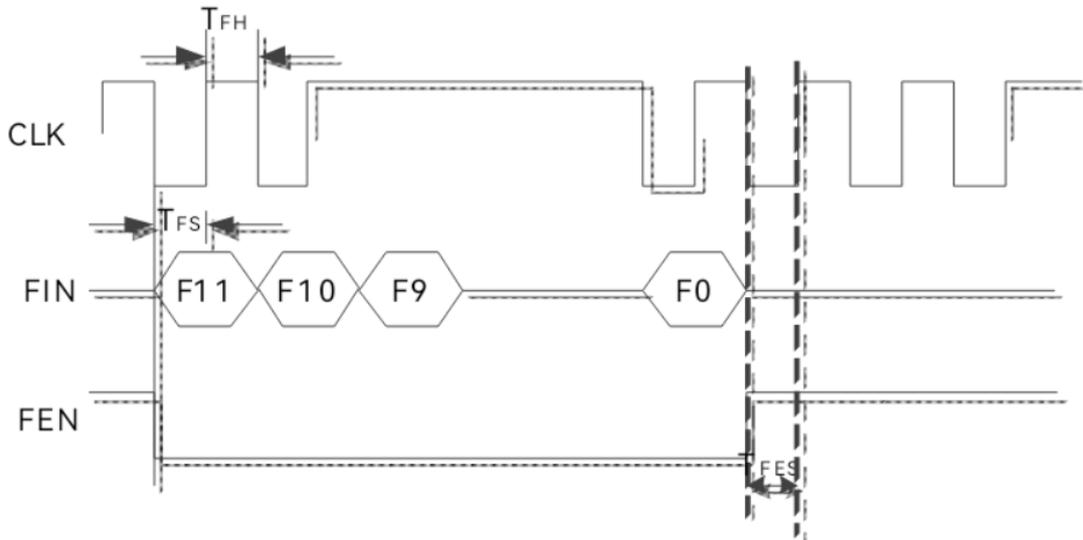
开关控制输出

开关控制逻辑如表 6 所列，其中输入信号 PTR2 取值自脉宽保护模块，MCT、MCR 取值自 reg_data3。

表 6 通道 1~4 开关控制输出逻辑

输入					输出		对应通道 状态
EN	TR1	PTR2	MCT	MCR	RX	TX	
0	0	0	x	0	1	0	接收态
0	1	1	0	x	0	1	发射态
其他组合					0	0	负载态

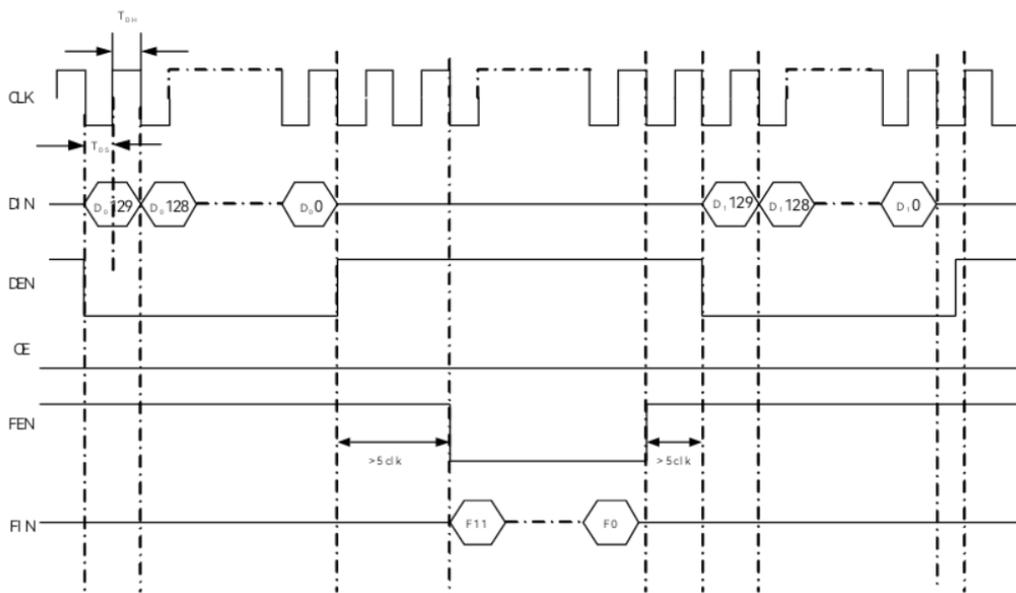
功能寄存器输入时序



功能寄存器输入时序

FEN 为低时，时钟上升沿采样 FIN，内部将其串转并到 `reg_fun1[11:0]`，在 FEN 的上升沿后第一个 clk 上升沿时将 `reg_fun1[7:0]` 存入二级功能寄存器 `reg_fun2`，存储的地址由 `reg_fun1[11:8]` 决定。

串行数据寄存器输入时序

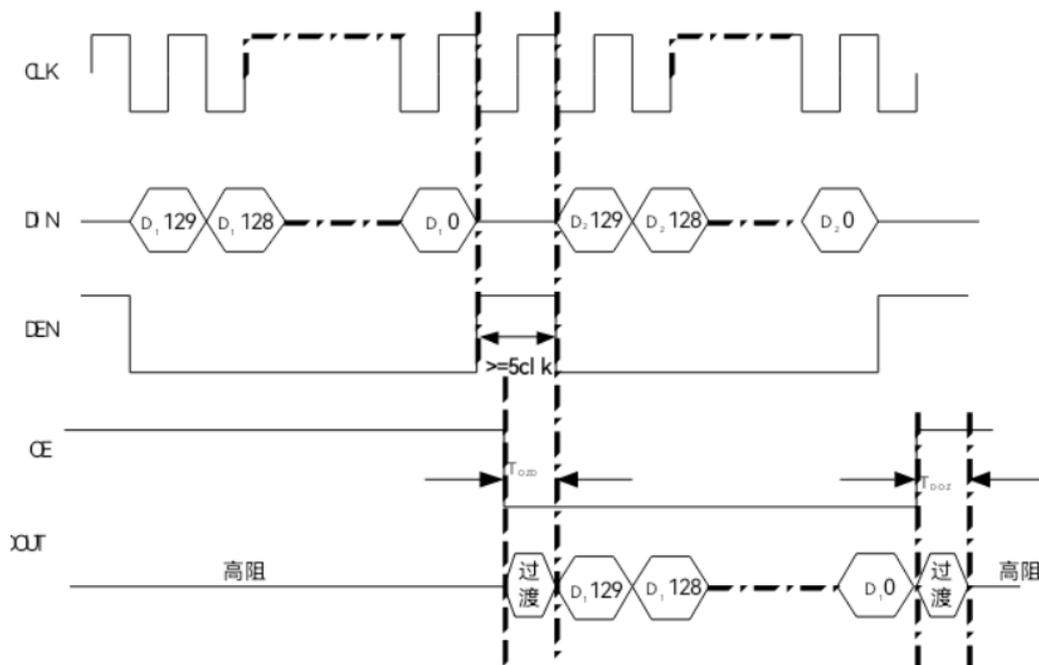


串行数据输入时序

在进行移相衰减控制操作前，先进行指令解锁操作：DEN 为低，DIN 串行输入{5{26'h15D5A5A}}进行内部解锁，解锁完成后进行移相衰减和控制码的输入。

DEN 为低时，时钟上升沿采样 DIN，内部将其串转并到 reg_data1[25:0]，在 DEN 的上升沿将 reg_data1 存入二级数据存储区，存的地址由功能寄存器 reg_fun2[0]决定，默认为地址 31。在 FEN 上升沿后第二个 CLK 上升沿，当 reg_fun1[11:8]=4'h1 且内部解锁时，将 reg_fun1[7:0]指定的 reg_data2 数组对应地址中的数据写入 reg_data3 寄存器；否则 reg_data3 寄存器保持不变。

串行数据寄存器输出时序



串行数据输出时序

封装方案

芯片采用 QFN68 管脚封装, 尺寸为 8mm×8mm, 详细尺寸信息如下图所示。

封装后芯片背面金属是整个芯片直流和交流信号的地端以及芯片主要的散热输出端, 应用时需要与板上地平面有充分理想的连接以及充分良好的散热。

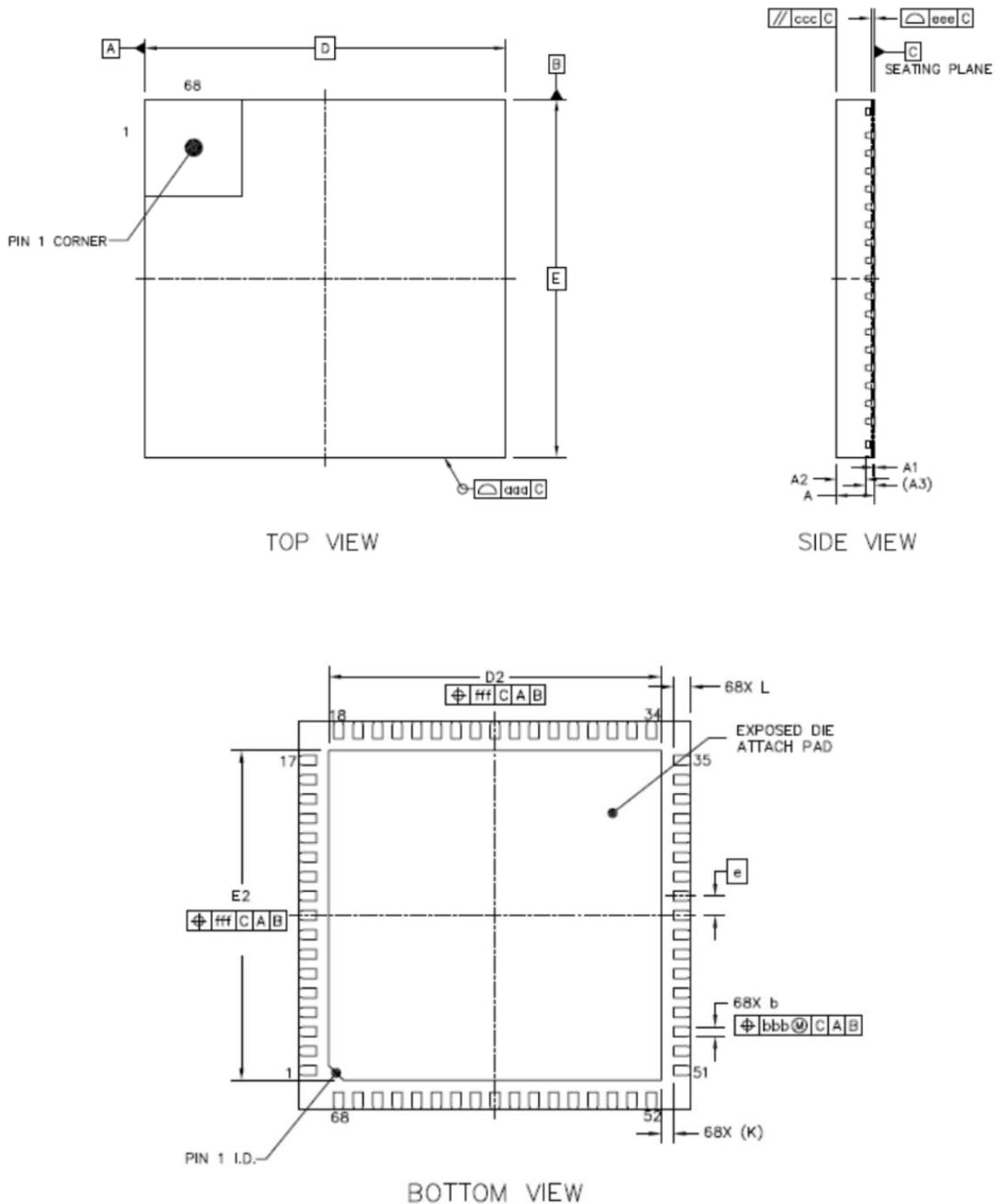


表10 封装尺寸

名称	尺寸符号	数值 (毫米)		
		最小	标称	最大
Total thickness	A	0.8	0.85	0.9
Stand off	A1	0	0.02	0.05
Mold thickness	A2	—	0.65	—
L/F thickness	A3	0.203 REF		
Lead width	b	0.15	0.20	0.25
Body size/ X	D	8 BSC		
Body size/ Y	E	8 BSC		
Lead pitch	e	0.4 BSC		
EP size/ X	D2	6.7	6.8	6.9
EP size/ Y	E2	6.7	6.8	6.9
Lead length	L	0.25	0.35	0.45
Lead tip to exposed pad edge	K	0.35 REF		
Package edge tolerance	aaa	0.1		
Mold flatness	ccc	0.1		
Coplanarity	eee	0.08		
Lead offset	bbb	0.07		
Exposed pad offset	fff	0.1		