

1. 简述

本电路是一款十六路输出的电平转换驱动，可以将输入的 3.3V 信号转换为 5V 信号。十六路输出分四组，四个使能端分别控制四组驱动电路的选通，当使能端为低电平时输出端与输入端相同，当使能端为高电平时输出呈高阻态。

2. 功能

2.1 原理框图

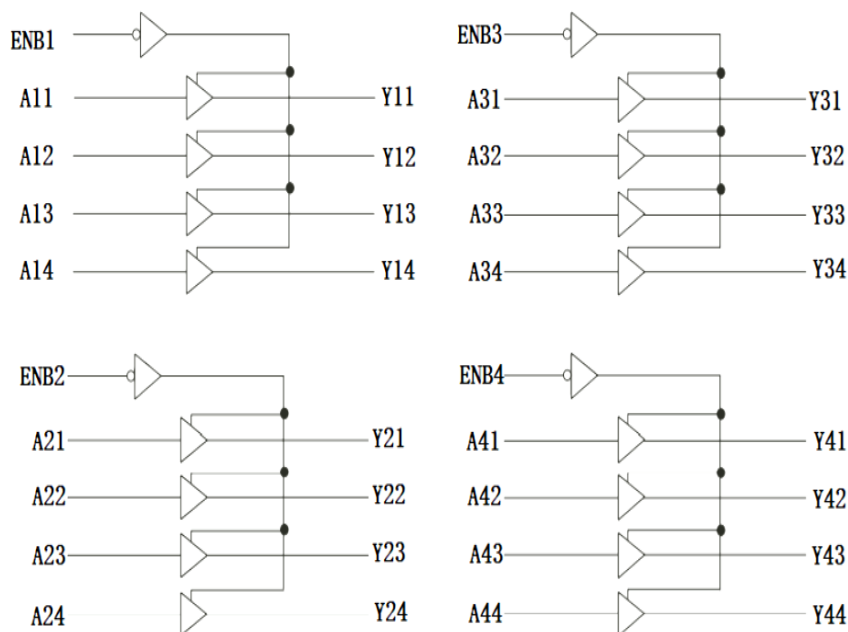


图 1 原理框图

2.2 产品型号

表 1 产品型号对照表

产品型号	封装形式	质量等级	详细规范号
YPM17-21244SC1C	陶封 CSOP48T	国军标	ZG21244C-2022

YPM17-21244SC1P	塑封 TSSOP48	企军标	ZG21244P-2022
YPM17-21244SC1I	塑封 TSSOP48	工业级	ZG21244I-2022

3. 电性能

3.1 绝对最大额定值

表 2 绝对最大额定值

参数	名称	最小值	最大值	单位
V _{DD}	芯片电源	-0.3	7	V
A _{xx}	控制信号输入引脚	-0.3	7	V
ENB _x	使能控制端	-0.3	7	V
T _J	芯片结温度	—	150	°C
T _s	芯片贮存温度	-65	150	°C

3.2 电气特性 (T_A=25°C)

表 3 电气特性

参数	名称	测试条件	最小值	典型值	最大值	单位
V _{DD}	芯片供电电源		3	5	6	V
I _{DDL}	芯片电源 VDD 电流	ENB _x =0V, A _{xx} =0V	—	1	10	uA
I _{DDH}		ENB _x =0V, A _{xx} =V _{DD}				
I _{DDZ}		ENB _x =V _{DD}				
V _{IH}	输入高电平翻转阈值		2	—	—	V
V _{IL}	输入低电平翻转阈值		—	—	0.8	V
I _{IH}	芯片输入端漏电流	V _I =V _{DD}	—	—	±1	uA
I _{IL}		V _I =0V	—	—	±1	uA
I _{OZH}	芯片输出端高阻态漏电流	ENB _x =V _{DD} , V _O =2.7V	—	—	±1	uA
I _{OZL}		ENB _x =V _{DD} , V _O =0.5V	—	—	±1	uA
V _{OH}	输出端高电平电压	I _{OH} =10mA	4.8	4.9	—	V
		I _{OH} =30mA	4.5	4.6	—	
		I _{OH} =50mA	4.2	4.3	—	
V _{OL}	输出端低电平电压	I _{OH} =10mA	—	0.2	0.5	V
I _{DD}	芯片电源 VDD 电流	fi=500kHz 50% Duty Cycle ENB _x =GND 单路	—	—	1.5	mA
		fi=500kHz 50% Duty Cycle ENB _x =GND 单路	—	—	16.5	mA
T _R	输出上升沿	C _L =50pF, R _L =500Ω	—	7	10	ns

T_F	输出下降沿		---	7	10	ns
T_{DR}	输入至输出上升沿 延时		---	20	30	ns
T_{DF}	输入至输出下降沿 延时		---	22	35	ns

4. 裸芯片引脚及尺寸

4.1 裸芯片概貌图

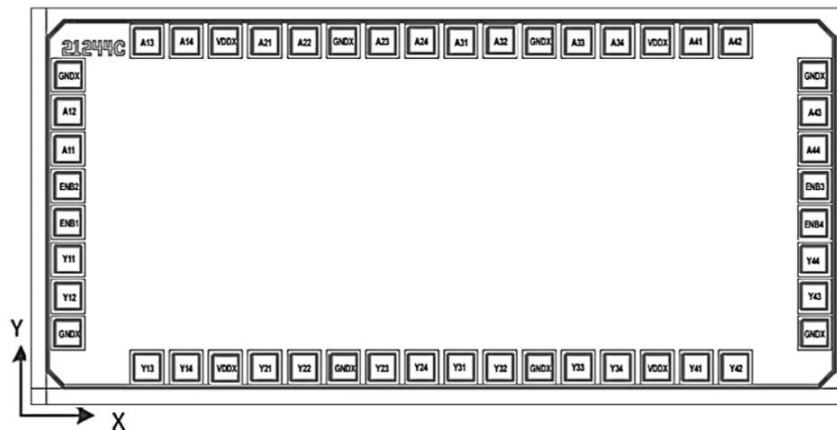


图 2 裸芯片概貌图

- 说明：1) 裸芯片尺寸（不含划片槽）：X=2820um±30um，Y=1300um±30um；
2) 裸芯片尺寸（含划片槽）：X=2900um±50um，Y=1380um±50um；
3) 芯片厚度：200um±30um；
4) 划片槽尺寸：80um；
5) PAD 尺寸：100um*100um，PAD 表面材料：铜镀金；
6) 芯片衬底（背面）建议接 GND，也可以悬空，建议采用粘接方式与基板相连。

4.2 裸芯片引脚定义

表 4 裸芯片引脚定义

序号	名称	引脚说明	序号	名称	引脚说明
1	ENB1	第一组使能控制端	25	ENB3	第三组使能控制端
2	Y11	第一组第 1 路输出端	26	A44	第四组第 4 路输入端
3	Y12	第一组第 2 路输出端	27	A43	第四组第 3 路输入端
4	GND	芯片地	28	GND	芯片地
5	Y13	第一组第 3 路输出端	29	A42	第四组第 2 路输入端
6	Y14	第一组 42 路输出端	30	A41	第四组第 1 路输入端
7	VDD	电源	31	VDD	电源

8	Y21	第二组第 1 路输出端	32	A34	第三组第 4 路输入端
9	Y22	第二组第 2 路输出端	33	A33	第三组第 3 路输入端
10	GND	芯片地	34	GND	芯片地
11	Y23	第二组第 3 路输出端	35	A32	第三组第 2 路输入端
12	Y24	第二组第 4 路输出端	36	A31	第三组第 1 路输入端
13	Y31	第三组第 1 路输出端	37	A24	第二组第 4 路输入端
14	Y32	第三组第 2 路输出端	38	A23	第二组第 3 路输入端
15	GND	芯片地	39	GND	芯片地
16	Y33	第三组第 3 路输出端	40	A22	第二组第 2 路输入端
17	Y34	第三组第 4 路输出端	41	A21	第二组第 1 路输入端
18	VDD	电源	42	VDD	电源
19	Y41	第四组第 1 路输出端	43	A14	第一组第 4 路输入端
20	Y42	第四组第 2 路输出端	44	A13	第一组第 3 路输入端
21	GND	芯片地	45	GND	芯片地
22	Y43	第四组第 3 路输出端	46	A12	第一组第 2 路输入端
23	Y44	第四组第 4 路输出端	47	A11	第一组第 1 路输入端
24	ENB4	第四组使能控制端	48	ENB2	第二组使能控制端

5. 封装电路引脚定义

5.1 电路引脚说明

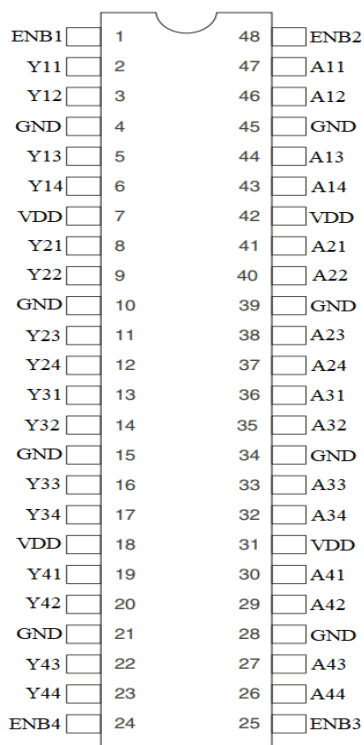


图3 封装电路引脚图

5.2 封装电路引脚定义：同表4 裸芯片引脚定义

5.3 CSOP48T 陶封

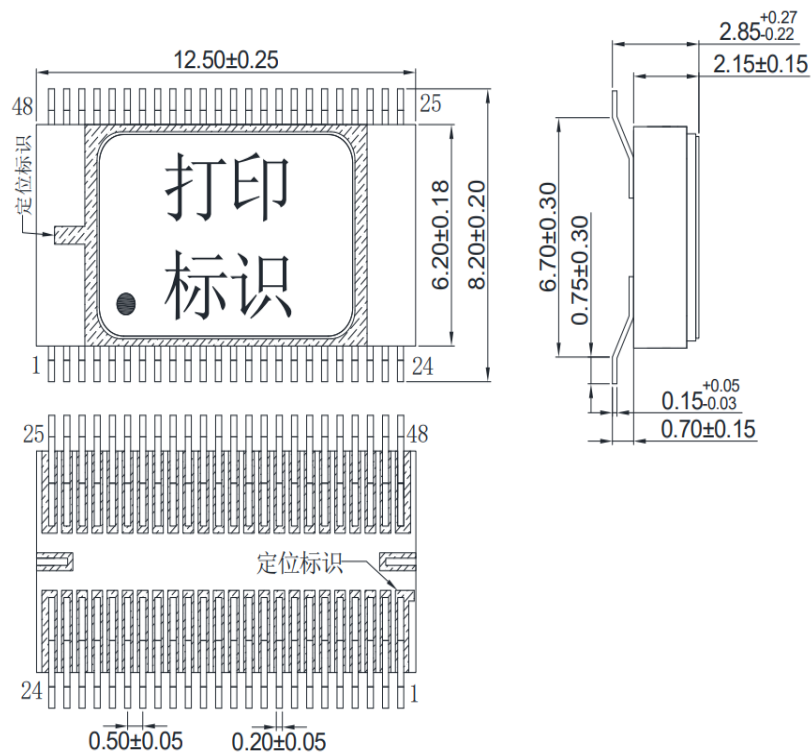


图 4 CSOP48T 电路外形图及尺寸图（单位 mm）

5.4 TSSOP48 塑封

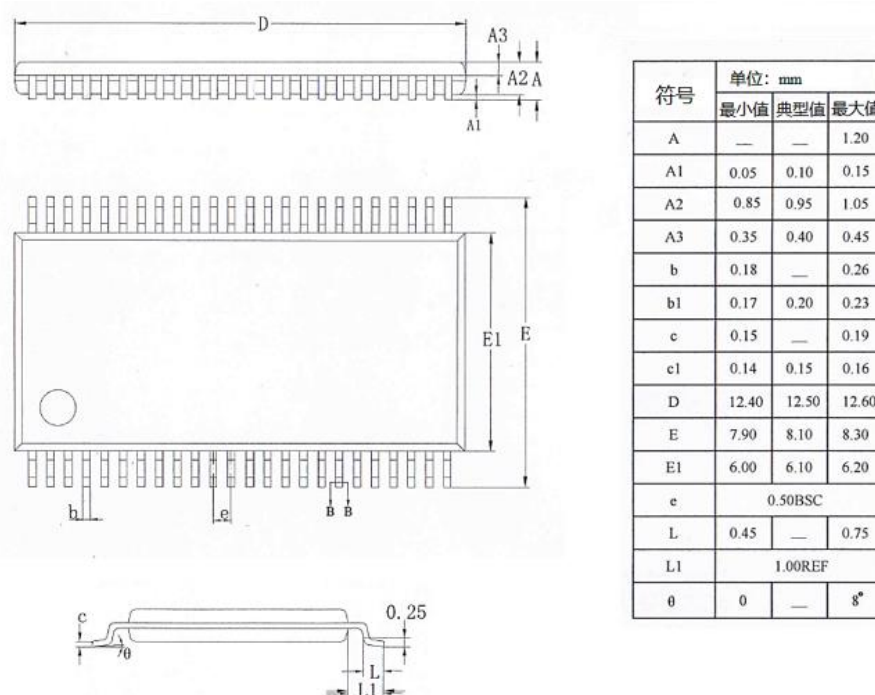


图 5 TSSOP48 电路外形图及尺寸图（单位 mm）