

1. 简述

本芯片是一款多功能高压 PMOS 管驱动芯片，集成了 PMOS 管驱动电路、发射和接收电源调制电路、GaAs 和 GaN 栅极稳压电路。其中的 PMOS 管驱动电路具有高压、高速和低延时的特点，同时本芯片还集成了负压监控、使能控制、过脉宽保护和输出快速放电功能。发射和接收电源调制电路为两路开关电源，该部分电路的电源为 VDD，由 T2、R 控制内部的 PMOS 开关的状态。GaAs 和 GaN 栅极调压电路用于输出两路基准电压，输出电压范围分别为 $-0.3V \sim -0.65V$ 、 $-1.7V \sim -3.2V$ 。

2. 功能

2.1 原理框图

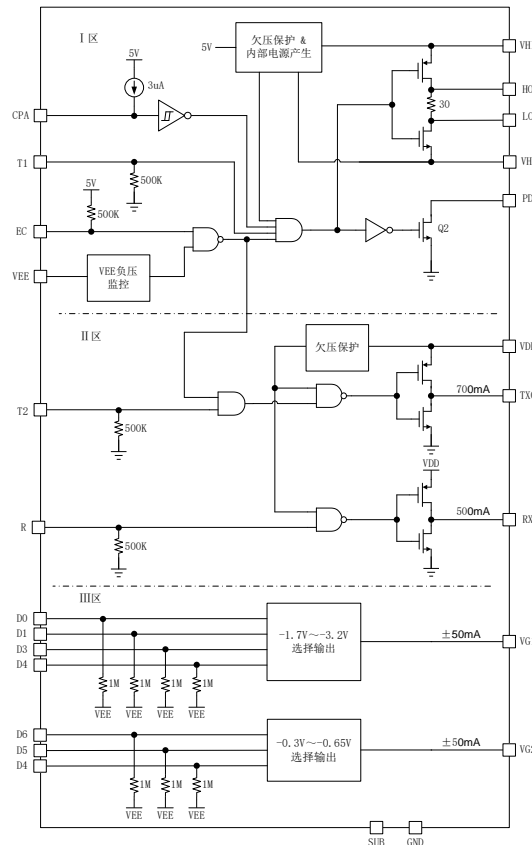


图 1 原理框图

2.2 产品型号

表 1 产品型号对照表

产品型号	封装形式	质量等级	详细规范号
YPM16-2201SC1	裸芯片	企军标	

3. 电性能

3.1 绝对最大额定值

表 2 绝对最大额定值

名称	最小值	最大值	单位
VHI、VHS、PD 电压	-0.3	100	V
HO、LO 电压	VHI-22	VHI+0.3	V
VDD 电压	-0.3	5.5	V
CPA、T1、T2、R、EC 电压	-0.3	5.5	V
RX0、TX0 电压	-0.3	5.5	V
VEE 电压	-5.5	0.3	V
D0~D6 电压	-5.5	0.3	V
VG1、VG2 电压	-5.5	0.3	V
芯片工作温度	-55	125	°C
芯片贮存温度	-65	150	°C
芯片结温度		150	°C

3.2 电气特性 (T_A=25°C)

表 3 电气特性

参数	名称	测试条件	最小值	典型值	最大值	单位
I _{VHI}	VHI 静态电流	HO、LO 悬空	120	250	400	uA
I _{VDD}	VDD 静态电流	TX0, RX0 悬空	30	42	60	uA
I _{VEE}	VEE 静态电流	VG1, VG2 悬空	300	430	650	uA
V _{HI_ON}	VHI 欠压保护解除阈值	VHI 电压上升	8.0	8.5	9.0	V
V _{HI_UVLO}	VHI 欠压保护阈值	VHI 电压下降		7.5		V
V _{DD_ON}	VDD 欠压保护解除阈值	VDD 电压上升	2.6	2.9	3.2	V
V _{DD_UVLO}	VDD 欠压保护阈值	VDD 电压下降		2.4		V
V _{EE_ON}	VEE 欠压保护解除阈值	VEE 电压下降	-4.2	-3.9	-3.6	V
V _{EE_UVLO}	VEE 欠压保护阈值	VEE 电压上升		-3.6		V
T _{EE}	VEE 上电延时		0.7	1.0	1.3	ms
V _{IN_H}	输入高电平			1.5		V
V _{IN_L}	输入低电平			1.1		V
R _{EC}	EC 端上拉电阻			500		KΩ
R _T	T1、T2 端下拉电阻			500		KΩ
R _R	R 端下拉电阻			500		KΩ

R_D	D0~D6 端下拉电阻			1.0		M Ω
V_{TO_H}	HO、LO 输出高电平	VHI=48V, $I_{O_H}=-20mA$	47.9			V
V_{TO_L}	HO、LO 输出低电平	VHI=48V, $I_O=-20mA$	37.5	-	40.5	V
V_{PD_L}	PD 输出低电平	$I_O=-20mA$		-	0.1	V
I_{PD_L}	PD 漏电流	PD=48V			5	μA
R_{PD_on}	PD 下拉导通阻抗	$I_{PD}=-1A$	0.3		1	Ω
V_{TXO_H}	TXO 输出高电平	VDD=5V, $I_{TXO}=700mA$	4.85			V
V_{TXO_L}	TXO 输出低电平	$I_{TXO}=-10mA$			0.1	V
R_{TXO_on}	TXO 下拉导通阻抗	$I_{TXO}=-200mA$	0.6		1.5	Ω
V_{RXO_H}	RXO 输出高电平	VDD=5V, $I_{RXO}=500mA$	4.85			V
V_{RXO_L}	RXO 输出低电平	$I_{RXO}=-10mA$			0.1	V
R_{RXO_on}	RXO 下拉导通阻抗	$I_{RXO}=-200mA$	1.5		5	Ω
V_{G1}	VG1 输出电平	D[3:0]=0000, $I_O \pm 50mA$	-1.78	-1.70	-1.62	V
V_{G2}	VG2 输出电平	D[4:6]=000, $I_O \pm 10mA$	-0.70	-0.65	-0.60	V
T_{TO_DR}	HO、LO 开通延时	$C_0=6nF$		30		ns
T_{TO_DF}	HO、LO 关断延时	$C_0=6nF$		50		ns
T_{TO_R}	HO、LO 上升时间	$C_0=6nF$		20		ns
T_{TO_F}	HO、LO 下降时间	$C_0=6nF$		20		ns
T_{TXO_D}	TXO 开通/关断延时	$I_{TXO}=700mA$, $C_{TXO}=1nF$		30		ns
T_{RXO_D}	RXO 开通/关断延时	$I_{RXO}=500mA$, $C_{TXO}=1nF$		20		ns

4. 裸芯片引脚及尺寸

4.1 裸芯片概貌图

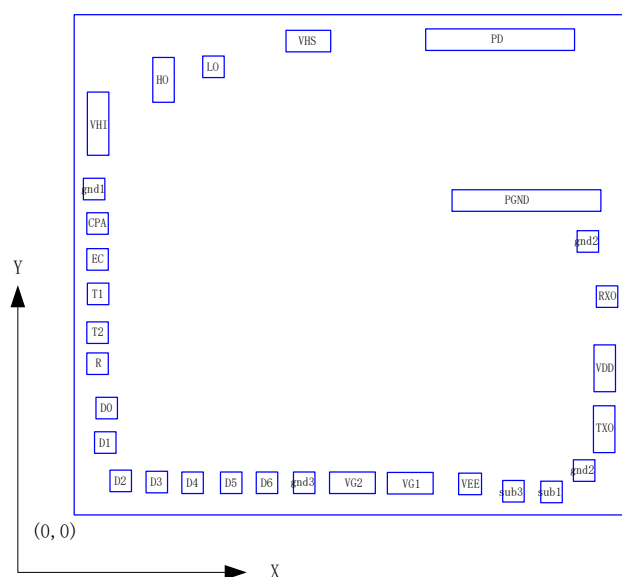


图 2 裸芯片概貌图

说明：1) 裸芯片尺寸（不含划片槽）：X=2650 $\mu m \pm 30\mu m$, Y=2370 $\mu m \pm 30\mu m$;

- 2) 裸芯片尺寸（含划片槽）：X=2690um±50um，Y=2410um±50um；
- 3) 芯片厚度：200um±30um；
- 4) 划片槽尺寸：80um；
- 5) 芯片 PAD 为铝，建议采用 25um 金丝球焊键合；
- 6) 芯片背面通过导电胶接地。

4.2 裸芯片引脚定义

表 4 裸芯片引脚定义

序号	名称	引脚说明	pad 尺寸
1	VHI	PMOS 功率管驱动电路的电源，接高压 28V/48V/60V 电源	90*300
2	VHS	内置 LDO 输出，外接电容到 VHI	200*90
3	HO	PMOS 功率管驱动电路的上拉输出端，连接外置 PMOS 功率管的栅极	200*90
4	LO	PMOS 功率管驱动电路的下拉输出端，连接外置 PMOS 功率管的栅极	90*90
5	PD	负载电容快速放电端，连接外置 PMOS 功率管的漏极。有大电流经过，需多打几根线	700*90
6	PGND	PMOS 驱动电路功率地和负载泄放回路功率地，需接地。有大电流经过，需多打几根线	700*90
7	gnd2	发射和接收电源调制电路地线，不需要产生发射和接收电源时可悬空(两个 gnd2 在芯片内部连接)	90*90 90*90
8	RX0	接收调制电源，不用 II 区时可悬空	90*90
9	VDD	+5V 电源，不用 II 区时可悬空	90*200
10	TX0	发射调制电源，不用 II 区时可悬空	90*200
11	sub1	芯片衬底，与 sub3 等电位。接地或 VEE	90*90
12	sub3	芯片衬底，与 sub1 等电位。接地或 VEE	90*90
13	VEE	-5V 电源，不用 III 区时可悬空	200*90
14	VG1	GaN 栅压调制输出端，不用 III 区时可悬空	200*90
15	VG2	GaAs 栅压调制输出端，不用 III 区时可悬空	200*90
16	gnd3	GaAs 和 GaN 栅极稳压电路地线和负压监测电路地线，需接地	90*90
17	D6	GaAs 栅压设置输入端，不用时可悬空	90*90
18	D5	GaAs 栅压设置输入端，不用时可悬空	90*90
19	D4	GaAs 栅压设置输入端，不用时可悬空	90*90
20	D3	GaN 栅压设置输入端，不用时可悬空	90*90
21	D2	GaN 栅压设置输入端，不用时可悬空	90*90
22	D1	GaN 栅压设置输入端，不用时可悬空	90*90
23	D0	GaN 栅压设置输入端，不用时可悬空	90*90
24	R	接收信号输入控制端口，不用 II 区时可悬空	90*90

25	T1	发射信号输入控制端口，不用 I 区、II 区时可悬空	90*90
26	T2	II 区 TX0 电源开关输入控制端口，不用时可悬空	90*90
27	EC	负压监测功能选择端，悬空时有负压监测功能	90*90
28	CPA	过脉宽保护时间设置端，外接电容到芯片地，设置过脉宽保护时间，不能悬空	90*90
29	gnd1	PMOS 驱动电路地和负载泄放回路线地，需接地	90*90

5. 典型应用

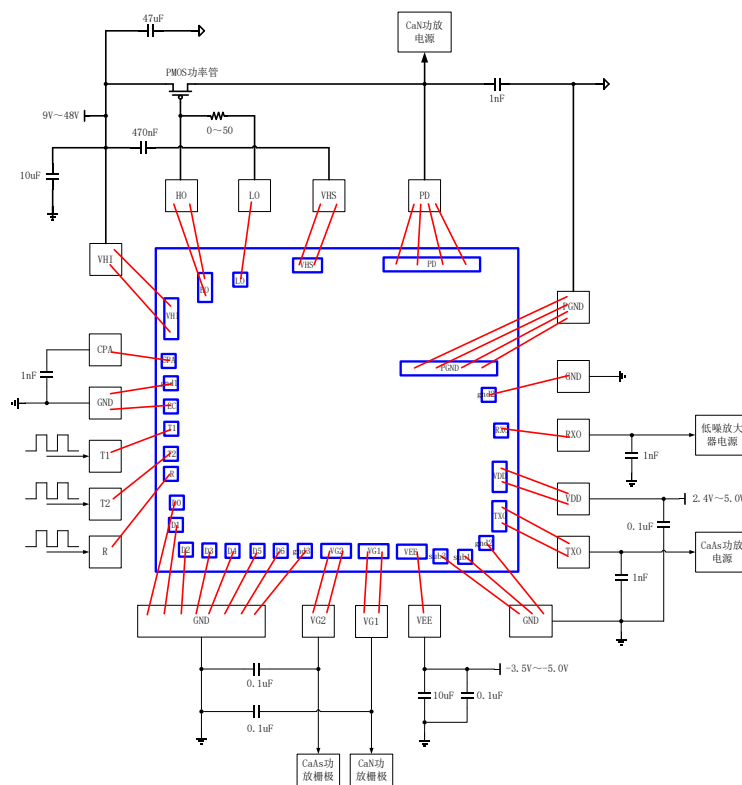


图3 典型应用图

6. 应用说明

6.1 PMOS 功率管驱动电路

PMOS 功率管驱动电路的电源是 VHI，内置 LDO 输出为 VHS，VHI 和 VHS 之间的电压差值为 9V。VHI 和 VHS 之间的电容必须靠近 VHI 和 VHS 端。

负压监测电路的阈值电压为-3.9V。可以通过将 EC 接地来屏蔽负压监测功能，当 EC 悬空 (5V) 时，负压监测功能有效；当 EC 接地线时，负压监测功能无效。

VEE 上电后，延时 1.0ms，负压监测电路才会输出负压有效信号，允许 PMOS 功率管导通。

表 5 PMOS 驱动电路真值表

EC	VEE	T1	PMOS 状态
X	X	L	关断
L	X	H	导通
H	<-3.9V	H	导通
H	>-3.6V	H	关断

注 1: 其中“H”表示 5V, “L”表示 0V, “X”表示任意值;

注 2: EC 端口和 T1 端口内置到 5V 的上拉电阻, 悬空代表 H。

芯片内置针对 T1 信号的过脉宽保护功能, 由 CPA 端的对地外接电容设置保护时间, 1nF 电容对应的过脉宽保护时间为 1ms, T1 信号脉冲宽带达到保护时间后 PMOS 功率管关断。不需要使用过脉宽保护功能时, 可以将 CPA 端接地线。

芯片 PD 端内置负载泄放管, 可以对负载端的电容快速放电。当负载端电容为 1nF 时, 放电时间小于 20ns。

6.2 发射和接收电源调制电路

发射和接收电源调制电路的电源是 VDD, 输出端 TX0/RX0 与 VDD 之间由 PMOS 开关连接。VDD 电源欠压时, 输出端 PMOS 开关断开, TX0 和 RX0 输出为 0。

当 T2 为高电平时, TX0 端口的 PMOS 开关导通; 当 T2 为低电平时, TX0 端口的 PMOS 开关关断。TX0 端口的输出电流能力为 700mA。当 VEE 欠压时, TX0 端口的 PMOS 开关关断。

当 R 为高电平时, RX0 端口的 PMOS 开关导通; 当 R 为低电平时, RX0 端口的 PMOS 开关关断。RX0 端口的输出电流能力为 500mA。

6.3 GaN 和 GaAs 栅极调压电路

VG1 端口输出的电压范围为-1.7V~-3.2V, 由 D3~D0 设置 VG1 电压。VG1 端口连接到 GaN 的栅极。

表 6VG1 电压调节真值表

D3	D2	D1	D0	VG1
0	0	0	0	-1.70V
0	0	0	1	-1.80V
0	0	1	0	-1.90V
0	0	1	1	-2.00V
0	1	0	0	-2.10V
0	1	0	1	-2.20V
0	1	1	0	-2.30V
0	1	1	1	-2.40V
1	0	0	0	-2.50V
1	0	0	1	-2.60V

1	0	1	0	-2.70V
1	0	1	1	-2.80V
1	1	0	0	-2.90V
1	1	0	1	-3.00V
1	1	1	0	-3.10V
1	1	1	1	-3.20V

注：其中“H”表示0V，“L”表示-5V，D3~D0端口内置到VEE的下拉电阻

VG2端口的电压范围为-0.3V~-0.65V，由D4~D6设置VG2电压。VG2端口连接到GaAs的栅极。

表 7VG2 电压调节真值表

D4	D5	D6	VG2
0	0	0	-0.65V
0	0	1	-0.60V
0	1	0	-0.55V
0	1	1	-0.50V
1	0	0	-0.45V
1	0	1	-0.40V
1	1	0	-0.35V
1	1	1	-0.30V

注：其中“H”表示0V，“L”表示-5V，D4~D6端口内置到VEE的下拉电阻