

1. 简述

本电路是一款双路低压电源调制电路，输入与输出为同向逻辑。本电路内部集成双路互相独立的驱动，每路驱动集成了与门、驱动、PMOS管和NMOS管泄放等功能。A路最大输出电流1A，B路最大输出200mA，A/B两路互相独立供电。

2. 功能

2.1 原理框图

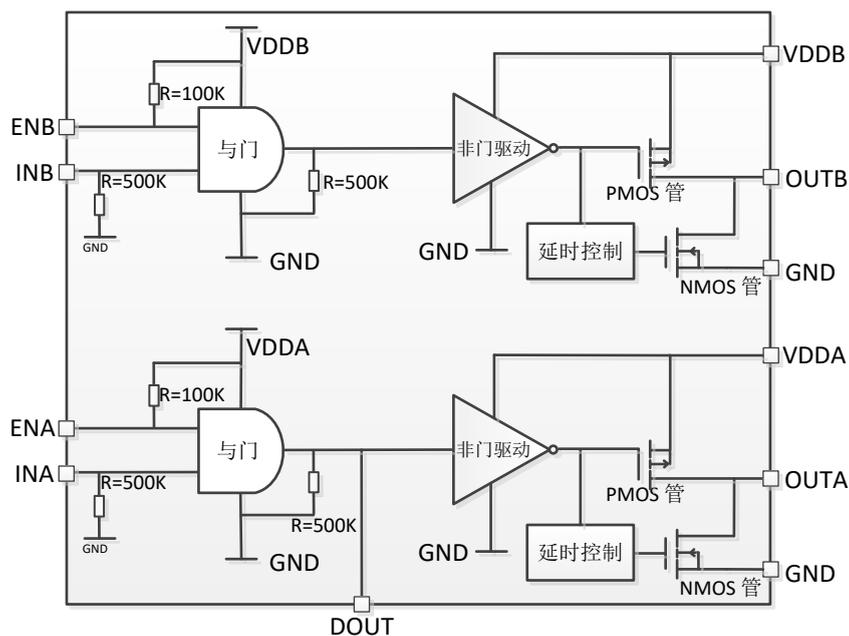


图 1 原理框图

2.2 产品型号

表 1 产品型号对照表

产品型号	封装形式	质量等级	详细规范号
YPM15-2119SC1	裸芯片	企军标	ZG2119D-2023

3. 电性能

3.1 绝对最大额定值

表 2 绝对最大额定值

参数	名称	最小值	最大值	单位
INA/INB/ENA/ENB	芯片控制信号输入引脚	-0.3	7	V
VDDA/VDDB	芯片电源	-0.3	7	V
T _J	芯片结温度	—	150	°C
T _S	芯片贮存温度	-65	150	°C

3.2 电气特性 (T_A=25°C)

表 3 电气特性

参数	名称	测试条件	最小值	典型值	最大值	单位
VDD	芯片供电电源		3	5	6	V
I _S	芯片电源 VDD 电流	IN/EN/DOUT/POUT 端悬空	—	1	2	uA
I _{DD}	芯片工作电流	INA/INB 输入 TTL, f=100kHz, 输出空 载	—	0.5	1	mA
		INA/INB 输入 TTL, f=1MHz, 输出空载	—	5	10	mA
I _{IHINA}	芯片 INA 输入端漏电流	IN=5V	—	10	20	uA
I _{ILINA}	芯片 INA 输入端漏电流	IN=0V	—	1	2	uA
I _{IHINB}	芯片 INB 输入端漏电流	IN=5V	—	10	20	uA
I _{ILINB}	芯片 INB 输入端漏电流	IN=0V	—	1	2	uA
I _{IHENB}	芯片 ENB 输入端漏电流	ENB=5V	—	1	2	uA
I _{ILENA}	芯片 ENA 输入端漏电流	ENA=0V	-60	-50	—	uA
I _{IHENB}	芯片 ENB 输入端漏电流	ENB=5V	—	1	2	uA
I _{ILENB}	芯片 ENB 输入端漏电流	ENB=0V	-60	-50	—	uA
V _{ILA}	INA 输入低电平翻转阈 值		0.8	1.1	—	V
V _{IHA}	INA 输入高电平翻转阈 值		—	1.8	2.0	V
V _{ILB}	INB 输入低电平翻转阈 值		0.8	1.1	—	V
V _{IHB}	INB 输入高电平翻转阈 值		—	1.8	2.4	V
V _{ELA}	ENA 输入低电平翻转阈 值		0.8	1.1	—	V
V _{EHA}	ENA 输入高电平翻转阈 值		—	1.8	2.4	V
V _{ELB}	ENB 输入低电平翻转阈 值		0.8	1.1	—	V
V _{EHB}	ENB 输入高电平翻转阈 值		—	1.8	2.0	V

V_{OHD}	DOUT 端输出高电平电压	$C_L=10pF, R_L=10k\ \Omega$	4.5	4.8	--	V
V_{OLD}	DOUT 端输出低电平电压	$C_L=10pF, R_L=10k\ \Omega$	--	0.1	0.2	V
T_{RD}	DOUT 端输出上升沿延时	$C_L=10pF, R_L=10k\ \Omega$	--	10	20	ns
T_{FD}	DOUT 端输出下降沿延时	$C_L=10pF, R_L=10k\ \Omega$	--	10	20	ns
V_{OHA}	OUTA 端输出高电平电压	$VDDA=5V, R_L=5\ \Omega$	4.7	4.75	--	V
R_{OLA}	ANMOS 管导通时的内阻	$I_N=I_{OUT}=0V, I_{OUT}=-100mA$	--	8	12	Ω
T_{RA}	OUTA 端输出上升沿	$C_L=200pF, R_L=5\ \Omega$		25	35	ns
T_{FA}	OUTA 端输出下降沿	$C_L=200pF, R_L=5\ \Omega$		15	25	ns
T_{DRA}	OUTA 端输入至输出上升沿延时	$C_L=200pF, R_L=5\ \Omega$		22	35	ns
T_{DFA}	OUTA 端输入至输出下降沿延时	$C_L=200pF, R_L=5\ \Omega$		25	40	ns
V_{OHB}	OUTB 端输出高电平电压	$VDDB=5V, R_L=50\ \Omega$	4.8	4.9		V
R_{OLB}	BNMOS 管导通时的内阻	$I_N=I_{OUT}=0V, I_{OUT}=-100mA$		8	12	Ω
T_{RB}	OUTB 端输出上升沿	$C_L=200pF, R_L=50\ \Omega$		15	25	ns
T_{FB}	OUTB 端输出下降沿	$C_L=200pF, R_L=50\ \Omega$		15	25	ns
T_{DRB}	OUTB 端输入至输出上升沿延时	$C_L=200pF, R_L=50\ \Omega$		22	35	ns
T_{DFB}	OUTB 端输入至输出下降沿延时	$C_L=200pF, R_L=50\ \Omega$		25	40	ns

4. 裸芯片引脚及尺寸

4.1 裸芯片概貌图

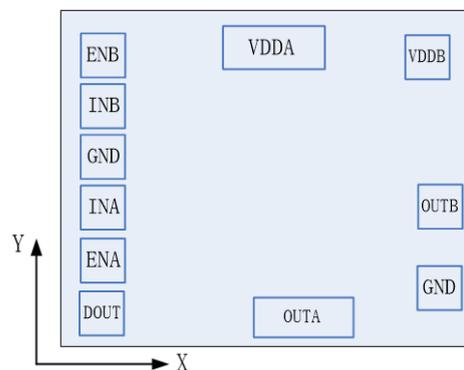


图 2 裸芯片概貌图

- 说明：1) 芯片不含划片槽尺寸：X=1030±30um，Y=950±30um；
 2) 芯片含划片槽尺寸：X=1070±50um，Y=990±50um；
 3) 芯片厚度：200±30um；

- 4) 划片槽尺寸: 80um;
- 5) VDDA/OUTA 的 PAD 尺寸: 90um*250um, 其余所有 PAD 尺寸: 90um*90um;
- 6) 键合方式: 建议采用 25um 金丝球焊;
- 7) 芯片背面为硅, 电极为 GND, 建议用导电胶粘接到 GND。

4.2 裸芯片引脚定义

表 4 裸芯片引脚定义

序号	名称	PAD 中心坐标 (X, Y) (单位: um)	引脚说明
1	ENB	(151, 830)	B 路使能控制端, 内部集成 100k Ω 上拉电阻, 不用时可悬空
2	INB	(151, 688)	B 路控制输入端, 内部集成 500k Ω 下拉电阻
3	GND	(151, 546)	芯片地
4	INA	(151, 404)	A 路控制输入端, 内部集成 500k Ω 下拉电阻
5	ENA	(151, 262)	A 路使能控制端, 内部集成 100k Ω 上拉电阻, 不用时可悬空
6	DOUT	(151, 120)	A 路与门输出端, 为后端其他数字芯片提供控制信号, 内部集成 500k Ω 下拉电阻, 不用时可悬空
7	OUTA	(600, 96)	A 路电流输出端口
8	GND	(934, 160)	芯片地
9	OUTB	(934, 400)	B 路电流输出端口
10	VDDB	(920, 825)	B 路电源
11	VDDA	(540, 854)	A 路电源