# YPM12-2111SC1

## 单路低压电源调制电路
## 数据手册



## 1. 简述

本电路是一款单路低压电源调制电路，输入与输出为同向逻辑。本电路内部集成与门、驱动和 PMOS 管,PMOS 管最大输出电流 500mA。本电路具有驱动电流大、压降小、速度快、面积小等特点。

## 2. 功能

### 2.1 原理框图

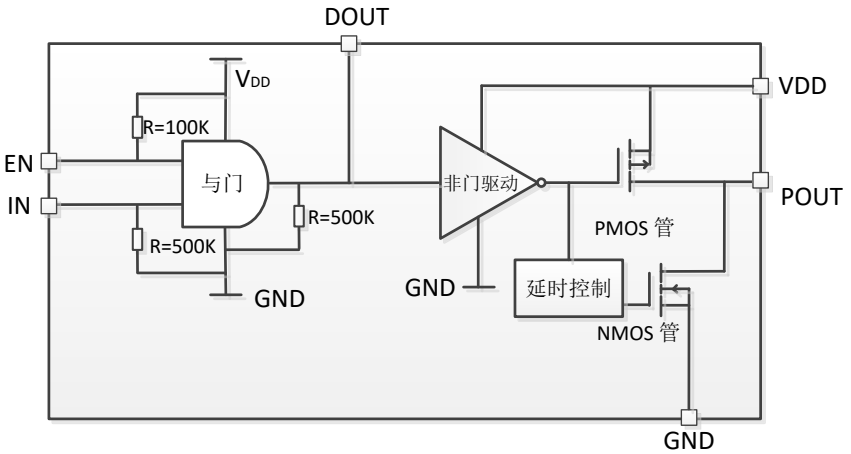


图 1 原理框图

### 2.2 产品型号

表 1 产品型号对照表

| 产品型号 | 封装形式 | 质量等级 | 详细规范号 |
|---|---|---|---|
| YPM12-2111SC1 | 裸芯片 | 企军标 | ZG2111BD-2021 |

# 3. 电性能

## 3.1 绝对最大额定值

表 2 绝对最大额定值

| 参数 | 名称 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| IN/EN | 芯片控制信号输入引脚 | -0.3 | 8 | V |
| VDD | 芯片电源 | -0.3 | 8 | V |

## 3.2 电气特性（$T_A$=25℃）

表 3 电气特性

| 参数 | 名称 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| VDD | 芯片供电电源 | | 3 | 5 | 6 | V |
| $I_S$ | 芯片电源 VDD 电流 | IN/EN/DOUT/POUT 端悬空 | | 1 | 2 | uA |
| $I_{IHIN}$ | 芯片 IN 输入端漏电流 | IN=5V | -- | 10 | 30 | uA |
| $I_{ILIN}$ | 芯片 IN 输入端漏电流 | IN=0V | -- | -- | 1 | uA |
| $I_{IHEN}$ | 芯片 EN 输入端漏电流 | EN=5V | -- | -- | 1 | uA |
| $I_{ILEN}$ | 芯片 EN 输入端漏电流 | EN=0V | -70 | -50 | -- | uA |
| $V_{IL}$ | IN/EN 输入低电平翻转阈值 | | 0.8 | 1.2 | | V |
| $V_{IH}$ | IN/EN 输入高电平翻转阈值 | | | 2.0 | 2.4 | V |
| $V_{OHD}$ | DOUT 端输出高电平电压 | $C_L$=10pF, $R_L$=10kΩ | 4.8 | 4.9 | -- | V |
| $V_{OLD}$ | DOUT 端输出低电平电压 | $C_L$=10pF, $R_L$=10kΩ | -- | 0.2 | 0.4 | V |
| $T_{RD}$ | DOUT 端输出上升沿延时 | $C_L$=10pF, $R_L$=10kΩ | | 10 | 20 | ns |
| $T_{FD}$ | DOUT 端输出下降沿延时 | $C_L$=10pF, $R_L$=10kΩ | | 20 | 30 | ns |
| $V_{OHP}$ | POUT 端输出高电平电压 | IN=5V, EN 悬空, $I_{OUT}$=200mA | 4.9 | 4.95 | | V |
| $R_{OLN}$ | NMOS 管导通时的内阻 | IN=EN=0V, $I_{OUT}$=-100mA | | 5 | 10 | Ω |
| $T_R$ | POUT 端输出上升沿 | $C_L$=200pF, $I_{OUT}$=100mA | | 7 | 15 | ns |

| | | | | | | |
|---|---|---|---|---|---|---|
| $T_F$ | POUT 端输出下降沿 | $C_L$=200pF, $I_{OUT}$=100mA | | 13 | 20 | ns |
| $T_{DR}$ | POUT 端输入至输出上升沿延时 | $C_L$=200pF, $I_{OUT}$=100mA | | 25 | 35 | ns |
| $T_{DF}$ | POUT 端输入至输出下降沿延时 | $C_L$=200pF, $I_{OUT}$=100mA | | 30 | 40 | ns |

# 4. 裸芯片引脚及尺寸

## 4.1 裸芯片概貌图

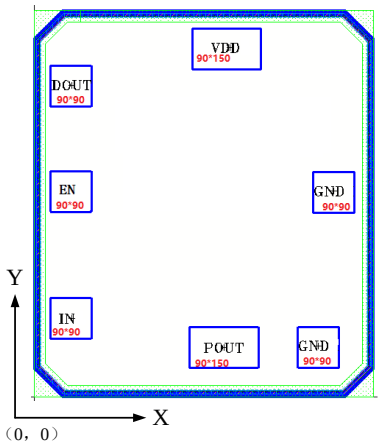


图 2 裸芯片概貌图

说明：1）芯片不含划片槽尺寸：X=740um±30um，Y=850um±30um；

2）芯片含划片槽尺寸：X=800um±50um，Y=900um±50um；

3）芯片厚度尺寸：200um±30um；

4）划片槽尺寸：80um；

5）PAD 尺寸：VDD/POUT 的 PAD 尺寸：90um*150um；

IN/EN/DOUT/GND 的 PAD 尺寸：90um*90um；

6）芯片背面接地或者悬空，芯片背面为硅衬底，建议采用导电胶接地。

4.2 裸芯片引脚定义

表 4 裸芯片引脚定义

| 名称 | X 坐标 (um) | Y 坐标 (um) | 引脚说明 |
|---|---|---|---|
| IN | 85 | 178 | 与门输入端口，内部集成 500kΩ下拉电阻 |
| EN | 85 | 446 | 与门输入端口，内部集成 100kΩ上拉电阻，不用时可悬空 |
| DOUT | 85 | 690 | 与门输出端口，为后端其他数字芯片提供控制信号， 内部集成 500kΩ下拉电阻,不用时可悬空 |
| VDD | 420 | 766 | 电源 |
| GND | 653 | 450 | 芯片地，两个 GND 的 PAD 内部连接在一起，可任意键合 1 个 |
| GND | 620 | 108 | |
| POUT | 403 | 108 | PMOS 管的输出，接负载 |